

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-110146

(P2001-110146A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 A 5 D 0 4 4
7/005		7/005	B 5 D 0 9 0

審査請求 未請求 請求項の数14 OL (全 26 頁)

(21) 出願番号 特願平11-291634

(22) 出願日 平成11年10月13日 (1999.10.13)

(31) 優先権主張番号 特願平10-366746

(32) 優先日 平成10年12月24日 (1998.12.24)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-218715

(32) 優先日 平成11年8月2日 (1999.8.2)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 戸波 淳一郎

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100085235

弁理士 松浦 兼行

Fターム(参考) 5D044 BC03 CC04 FG02 FG05

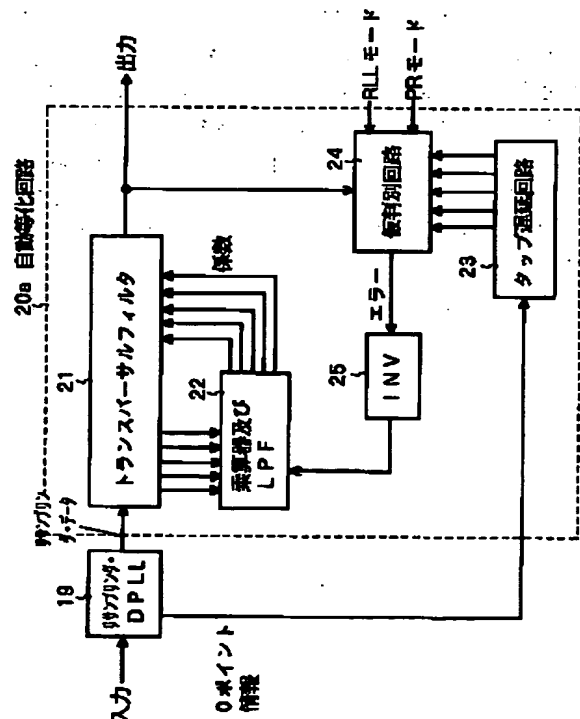
5D090 AA01 CC04 EE17

(54) 【発明の名称】 再生装置

(57) 【要約】

【課題】 複数種類の信号が入力される機器では、再生する信号の性質によってランレングスや等化したいP R特性等が異なるため、スレッシュOLDを合わせるための制御が煩雑となり、波形等化を安定に行うまでの収束時間が長くなる。

【解決手段】 タップ遅延回路23は、補間DPLL19からの0ポイント情報を遅延する。仮判別回路24は、パーシャルレスポンス等化の種類を示すP Rモード信号と、再生信号のランレングス制限符号の種類を示すR L Lモード信号と、タップ遅延回路23からの複数の0ポイント情報と、トランスバースフィルタ21から出力される波形等化後再生信号とを入力として受け、P Rモード信号とR L Lモード信号で定まる状態遷移と、複数の0ポイント情報のパターンとに基づき、等化信号の仮判別値を算出し、その仮判別値と波形等化後再生信号との差分値をエラー信号として出力する。



【特許請求の範囲】

【請求項1】 記録媒体に記録されているランレングス制限符号を再生し、その再生信号をトランスバーサルフィルタを用いてパルシャルレスポンス等化した後復号する再生装置において、

前記トランスバーサルフィルタに入力される再生信号のゼロクロスポイントか否かを検出して0ポイント情報を出力する検出手段と、

前記検出手段よりビットクロックに同期して取り出される前記0ポイント情報を、少なくとも連続する3つ出力する遅延回路と、

前記パルシャルレスポンス等化の種類を示すPRモード信号と、前記再生信号のランレングス制限符号の種類を示すRLモード信号と、前記遅延回路からの複数の前記0ポイント情報と、前記トランスバーサルフィルタから出力される波形等化後再生信号とを入力として受け、前記PRモード信号とRLモード信号で定まる状態遷移と、前記複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と前記波形等化後再生信号との差分値をエラー信号として出力する仮判別回路と、

前記仮判別回路の出力エラー信号に基づき、前記トランスバーサルフィルタのタップ係数を前記エラー信号が最小になるように可変制御する係数生成手段とを有することを特徴とする再生装置。

【請求項2】 前記仮判別回路は、前記PRモード信号及びRLモード信号の少なくとも一方を固定値として前記波形等化信号の仮判別値を算出し、その仮判別値と前記波形等化後再生信号との差分値をエラー信号として出力することを特徴とする請求項1記載の再生装置。

【請求項3】 前記検出手段は、前記記録媒体から再生された前記ランレングス制限符号をA/D変換器によりシステムクロックでサンプリングして得たデジタル信号を入力信号として受け、所望のビットレートでリサンプリングしたデジタルデータを生成して前記トランスバーサルフィルタに供給すると共に、入力デジタル信号のゼロクロスポイントか否かを検出して前記0ポイント情報を出力するリサンプリング・DPLLにより構成されていることを特徴とする請求項1記載の再生装置。

【請求項4】 記録媒体に記録されているランレングス制限符号を再生し、その再生信号をトランスバーサルフィルタを用いてパルシャルレスポンス等化した後復号する再生装置において、

前記トランスバーサルフィルタから出力された波形等化後再生信号からゼロクロスポイントか否かを示す0ポイント情報を出力するゼロ検出手段と、

前記検出手段よりビットクロックに同期して取り出される前記0ポイント情報を、少なくとも連続する3つ出力する遅延回路と、

前記パルシャルレスポンス等化の種類を示すPRモード

信号と、前記再生信号のランレングス制限符号の種類を示すRLモード信号と、前記遅延回路からの複数の前記0ポイント情報と、前記トランスバーサルフィルタから出力される波形等化後再生信号とを入力として受け、前記PRモード信号とRLモード信号で定まる状態遷移と、前記複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と前記波形等化後再生信号との差分値をエラー信号として出力する仮判別回路と、

前記仮判別回路の出力エラー信号に基づき、前記トランスバーサルフィルタのタップ係数を前記エラー信号が最小になるように可変制御する係数生成手段とを有することを特徴とする再生装置。

【請求項5】 前記ゼロ検出手段は、前記トランスバーサルフィルタから出力される波形等化後再生信号の極性が反転した時に、近傍の2つのサンプル点のうち、より0に近い方のサンプル点を前記0ポイント情報として出力するゼロ検出器であることを特徴とする請求項4記載の再生装置。

【請求項6】 前記ゼロ検出手段は、前記トランスバーサルフィルタから出力される波形等化後再生信号のゼロクロス点とビットクロックとの位相誤差信号を出力する位相比較手段とからなることを特徴とする請求項4記載の再生装置。

【請求項7】 前記PRモード信号により指定される前記パルシャルレスポンス等化特性をPR(a, b, b, a)で表わしたとき、前記仮判別回路は、前記連続する3つの0ポイント情報における中央値とその前後両方の0ポイント情報の値とがすべてゼロクロス点を示していないときは $(a+b) \times G$ （ただし、Gは所定のゲイン、*は中央値(a+b)が0になるようにオフセットした後の値であることを示す）なる式により値Pを算出し、前記3つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の最小反転間隔が2であるときは $(b-a) \times G$ なる式により値Pを算出し、前記3つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の前記最小反転間隔が2でないとき、又は前記3つの0ポイント情報における中央値の前後のいずれか一方の0ポイント情報の値のみがゼロクロス点を示しているときは $b \times G$ なる式により値Pを算出し、前記3つの0ポイント情報における中央値がゼロクロス点を示しているときは前記仮判別値を0と算出し、算出した前記値Pを、前記連続する3つの0ポイント情報のうちの中央値の0ポイント情報が得られるときの前記波形等化後再生信号の極性に応じた極性の前記仮判別値として算出することを特徴とする請求項1乃至6のうちのいずれか一項記載の再生装置。

【請求項8】 前記PRモード信号により指定される前記パーシャルレスポンス等化特性をPR (a, b, b, a) で表わしたとき、前記仮判別回路は、前記連続する5つの0ポイント情報における中央値とその前後両方の0ポイント情報の値とが共にゼロクロス点を示していないときは $(a+b) \times G$ (ただし、Gは所定のゲイン、*は中央値 (a+b) が0になるようにオフセットした後の値であることを示す) なる式により値Pを算出し、前記5つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の最小反転間隔が2であるときは $(b-a) \times G$ なる式により値Pを算出し、前記5つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の前記最小反転間隔が2でないとき、又は前記5つの0ポイント情報における中央値の前後のいずれか一方の0ポイント情報の値のみがゼロクロス点を示しているとき、又は前記5つの0ポイント情報における1番目と4番目の0ポイント情報の値のみがゼロクロス点を示しているとき、又は前記5つの0ポイント情報における2番目と5番目の0ポイント情報の値のみがゼロクロス点を示しているときは、 $b \times G$ なる式により値Pを算出し、前記5つの0ポイント情報の値が上記のいずれにも当てはまらないときは値Pを0と算出し、算出した前記値Pを、前記連続する5つの0ポイント情報のうちの中央値の0ポイント情報が得られるときの前記波形等化後再生信号の極性に応じた極性の前記仮判別値として算出することを特徴とする請求項1乃至6のうちのいずれか一項記載の再生装置。

【請求項9】 記録媒体に記録されているランレングス制限符号を再生し、その再生信号をトランスバーサルフィルタを用いてパーシャルレスポンス等化した後復号する再生装置において、前記記録媒体から再生された前記ランレングス制限符号をA/D変換器によりシステムクロックでサンプリングして得たデジタル信号を入力信号として受け、所望のビットレートでリサンプリングしたデジタルデータを生成して前記トランスバーサルフィルタに供給すると共に、前記デジタルデータのゼロクロスポイントを検出して0ポイント情報を出力するリサンプリング・DPLLと、前記リサンプリング・DPLLよりビットクロックに同期して取り出される前記0ポイント情報を、少なくとも連続する3つ出力する遅延回路と、前記パーシャルレスポンス等化の種類を示すPRモード信号と、前記再生信号のランレングス制限符号の種類を示すRLモード信号と、前記遅延回路からの複数の前記0ポイント情報と、前記トランスバーサルフィルタから出力される波形等化後再生信号とを入力として受け、

前記PRモード信号とRLモード信号で定まる状態遷移と、前記複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と前記波形等化後再生信号との差分値をエラー信号として出力する仮判別回路と、

前記仮判別回路から出力される前記エラー信号が第1の入力端子に入力され、前記仮判別回路から出力される前記仮判別値が第2の入力端子に入力され、前記仮判別値に応じて前記エラー信号のうちの有効な成分だけを選択して出力するエラー選択回路と、

前記エラー選択回路から出力される信号に基づき、前記トランスバーサルフィルタのタップ係数を前記エラー信号が最小になるように可変制御する係数生成手段とを有することを特徴とする再生装置。

【請求項10】 記録媒体に記録されているランレングス制限符号を再生し、その再生信号をトランスバーサルフィルタを用いてパーシャルレスポンス等化した後復号する再生装置において、前記記録媒体から再生された前記ランレングス制限符号をA/D変換器によりシステムクロックでサンプリングして得たデジタル信号を入力信号として受け、所望のビットレートでリサンプリングしたデジタルデータを生成して前記トランスバーサルフィルタに供給すると共に、前記デジタルデータのゼロクロスポイントを検出して0ポイント情報を出力するリサンプリング・DPLLと、

前記リサンプリング・DPLLよりビットクロックに同期して取り出される前記0ポイント情報を、少なくとも連続する3つ出力する遅延回路と、

前記パーシャルレスポンス等化の種類を示すPRモード信号と、前記再生信号のランレングス制限符号の種類を示すRLモード信号と、前記遅延回路からの複数の前記0ポイント情報と、前記トランスバーサルフィルタから出力される波形等化後再生信号とを入力として受け、前記PRモード信号とRLモード信号で定まる状態遷移と、前記複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と前記波形等化後再生信号との差分値をエラー信号として出力する仮判別回路と、

前記仮判別回路から出力される前記エラー信号が第1の入力端子に入力され、前記リサンプリング・DPLLがロックすべきゼロクロス点に相当する、リサンプリングによって形成されたサンプルポイントが存在するタイミングを示す前記0ポイント情報が第2の入力端子に入力され、前記0ポイント情報が示すサンプルポイントとその直前直後のサンプルポイントで前記エラー信号を選択し、それ以外のサンプルポイントでは前記エラー信号を無効化するエラー選択回路と、

前記エラー選択回路から出力される信号に基づき、前記トランスバーサルフィルタのタップ係数を前記エラー信

号が最小になるように可変制御する係数生成手段とを有することを特徴とする再生装置。

【請求項11】 前記PRモード信号により指定される前記パーシャルレスポンス等化特性をPR(a, b, b, a)で表わしたとき、前記仮判別回路は、前記連続する3つの0ポイント情報における中央値とその前後両方の0ポイント情報の値とがすべてゼロクロス点を示していないときは $(a+b) \times G$ （ただし、Gは所定のゲイン、*は中央値(a+b)が0になるようにオフセットした後の値であることを示す）なる式により値Pを算出すると共に前記仮判別値を0とし、前記3つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の最小反転間隔が2であるときは $(b-a) \times G$ なる式により値Pを算出し、前記3つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の前記最小反転間隔が2でないとき、又は前記3つの0ポイント情報における中央値の前後のいずれか一方の0ポイント情報の値のみがゼロクロス点を示しているときは $b \times G$ なる式により値Pを算出し、前記3つの0ポイント情報における中央値がゼロクロス点を示しているときは仮判別値を0と算出し、 $(b-a) \times G$ なる式又は $b \times G$ なる式により前記値Pを算出したときは、その値Pを前記連続する3つの0ポイント情報のうちの中央値の0ポイント情報が得られるときの前記波形等化後再生信号の極性に応じた極性の前記仮判別値として算出することを特徴とする請求項1乃至6、請求項9及び10のうちのいずれか一項記載の再生装置。

【請求項12】 前記PRモード信号により指定される前記パーシャルレスポンス等化特性をPR(a, b, b, a)で表わしたとき、前記仮判別回路は、前記連続する5つの0ポイント情報における中央値とその前後両方の0ポイント情報の値とが共にゼロクロス点を示していないときは $(a+b) \times G$ （ただし、Gは所定のゲイン、*は中央値(a+b)が0になるようにオフセットした後の値であることを示す）なる式により値Pを算出すると共に前記仮判別値を0とし、前記5つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の最小反転間隔が2であるときは $(b-a) \times G$ なる式により値Pを算出し、前記5つの0ポイント情報における中央値の前後両方の0ポイント情報の値のみがゼロクロス点を示しており、かつ、前記RLモード信号が示す記録信号の前記最小反転間隔が2でないとき、又は前記5つの0ポイント情報における中央値の前後のいずれか一方の0ポイント情報の値のみがゼロクロス点を示しているとき、又は前記5つの0ポイント情報における1番目と4番目の0ポイン

ト情報の値のみがゼロクロス点を示しているとき、又は前記5つの0ポイント情報における2番目と5番目の0ポイント情報の値のみがゼロクロス点を示しているときは、 $b \times G$ なる式により値Pを算出し、前記5つの0ポイント情報の値が上記のいずれにも当てはまらないときは前記仮判別値を0と算出し、 $(b-a) \times G$ なる式又は $b \times G$ なる式により前記値Pを算出したときは、その値Pを前記連続する5つの0ポイント情報のうちの中央値の0ポイント情報が得られるときの前記波形等化後再生信号の極性に応じた極性の前記仮判別値として算出することを特徴とする請求項1乃至6、請求項9及び10のうちのいずれか一項記載の再生装置。

【請求項13】 前記リサンプリング・DPLLによりリサンプリングしたデジタルデータがビットクロックのタイミングで書き込まれ、新たに作成したクロックのタイミングで格納デジタルデータが読み出されて前記トランスバーサルフィルタに供給する第1のメモリ素子と、前記0ポイント情報が前記ビットクロックのタイミングで書き込まれ、前記新たに作成したクロックのタイミングで格納0ポイント情報が読み出されて前記遅延回路に供給する第2のメモリ素子とを設けたことを特徴とする請求項1、2、3、9、10、11又は12記載の再生装置。

【請求項14】 前記記録媒体から再生された前記ランレンクス制限符号をA/D変換器によりシステムクロックでサンプリングして得たデジタル信号をビットレートでリサンプリングして出力するリサンプリング・DPLLから取り出された前記リサンプリングしたデジタルデータをビットクロックのタイミングで書き込み、新たに作成したクロックのタイミングで格納デジタルデータを読み出して前記トランスバーサルフィルタに供給するメモリ素子を設けたことを特徴とする請求項4記載の再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は再生装置に係り、特に光ディスク等の記録媒体から再生された、ランレンクス制限符号を波形等化する波形等化回路を備えた再生装置に関する。

【0002】

【従来の技術】ランレンクス制限符号が高密度記録された光ディスク等の記録媒体から当該ランレンクス制限符号を再生する再生装置では、再生信号の波形歪を除去するために、パーシャルレスポンス（以下、PRともいう）等化特性を持つ波形等化回路を使用するものが従来より知られている（特開平10-106161号公報）。図30はこの従来の再生装置の一例のブロック図を示す。同図において、光ディスク1より記録/再生系2により再生されたランレンクス制限符号は、トランスバーサルフィルタ3に供給され、ここでパラメータ設定

器5内のタップ係数決定器6より入力されるタップ係数に基づいて、PR等化される。

【0003】X値選定器10は、トランスバーサルフィルタ3での例えばPR(1, X, X, 1)等化における符号間干渉値であるXの値を再生波形の特性に基づいて選定するもので、誤り率判定器9の判定結果から順次Xiを求め、最終的に誤り率が許容値を満たすXの値を選定する。等化目標波形作成器8は、パラメータ設定用二値データ用メモリ7から与えられる二値データと、X値選定器10で選定された、PR等化における符号間干渉付与値のXの値とから等化後目標波形を作成し、タップ係数決定器6に与えられる。

【0004】光ディスク1には予めパラメータ設定用二値データ用メモリ7に対応するビットが記録されている。タップ係数決定器6はこのビットに対応する再生波形と等化後目標波形とから、再生波形が等化後目標波形に一致するようなタップ係数を求めてトランスバーサルフィルタ3に入力する。識別点信号レベル決定器11は、X値選定器10から与えられるXの値に基づいて識別点信号レベルを求め、これをML復号器4に供給する。ML復号器4はトランスバーサルフィルタ3から取り出された等化後再生波形を、上記の識別点信号レベルを基準にして二値データに復号して出力する。

【0005】ML復号器4から取り出された復号データは、誤り率判定器9に供給され、ここでパラメータ設定用二値データ用メモリ7からのパラメータ設定用二値データと比較されて誤り率が求められ、その誤り率が許容値を満たしているか否かの判定結果がX値選定器10に供給される。誤り率判定器9で誤り率が許容値を満たしていると判定された段階で、その時のタップ係数及び識別点信号レベルを用いたPR(1, X, X, 1)ML方式により、PR等化及び最尤復号が行われる。また、従来、最小符号反転間隔が2以上の定数に制限されたランレングス制限符号による再生信号を等化した上で、符号反転間隔を拘束条件としてもつような最尤検出を行う光ディスク信号再生方式で、符号の反転位置の直前又は直後の点のうちで最小符号反転間隔をもつデータ列に対応する点を除く振幅と、符号の反転位置の振幅のみを対象として、三値等化する再生装置も知られている(特開平7-192270号公報)。

【0006】

【発明が解決しようとする課題】しかるに、上記の従来の再生装置のうち前者の再生装置は、光ディスク1には予めパラメータ設定用二値データ用メモリ7に対応するビットが記録されていることが前提となっており、光ディスク1の記録信号がパラメータ設定用二値データ用メモリ7に記憶されている二値データに対応しているものであるかどうか不明な場合、適応的に波形等化ができない。

【0007】そのため、パラメータ設定用二値データ用

メモリ7の記憶二値データに対応した既知のパターンのデータを再生して、正常に波形等化されるようにトランスバーサルフィルタ3のタップ係数を決定してしなければならない。このため、タップ係数を決定したときと異なる再生特性で再生信号が入力されたときには対応できない。

【0008】また、上記の従来の再生装置のうち後者のものは、再生装置が行うPR等化が、目標値が多値となるため、細かいスレッシュホールド比較が誤り率判定器9で必要となり、ノイズや歪によって判定が難しくなるという問題がある。従って、複数種類の信号が入力される機器(例えばCD、DVDなどの再生装置)では、再生する信号の性質によってランレングスや等化したいPR特性等が異なるため、スレッシュホールドを合わせるための制御が煩雑となり、波形等化を安定に行うまでの収束時間が長くなる可能性がある。

【0009】本発明は以上の点に鑑みなされたもので、ノイズや歪の影響なくより高品質なPR等化による波形等化を行い得る再生装置を提供することを目的とする。

【0010】また、本発明の他の目的は、収束範囲の拡大及び収束時間の短縮を実現し得る再生装置を提供することにある。

【0011】更に、本発明の他の目的は、ICデバイスによる速度制限を緩和し、かつ、消費電力を低減し得る再生装置を提供することにある。

【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明は記録媒体に記録されているランレングス制限符号を再生し、その再生信号をトランスバーサルフィルタを用いてパースナルレスポンス等化した後復号する再生装置において、トランスバーサルフィルタに入力される再生信号のゼロクロスポイントか否かを検出して0ポイント情報を出力する検出手段と、検出手段よりクロックに同期して取り出される0ポイント情報を、少なくとも連続する3つ出力する遅延回路と、パースナルレスポンス等化の種類を示すPRモード信号と、再生信号のランレングス制限符号の種類を示すRLモード信号と、遅延回路からの複数の0ポイント情報と、トランスバーサルフィルタから出力される波形等化後再生信号とを入力として受け、PRモード信号とRLモード信号で定まる状態遷移と、複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と波形等化後再生信号との差分値をエラー信号として出力する仮判別回路と、仮判別回路の出力エラー信号に基づき、トランスバーサルフィルタのタップ係数をエラー信号が最小になるように可変制御する係数生成手段とを有する構成としたものである。

【0013】また、本発明は上記の目的を達成するため、トランスバーサルフィルタから出力された波形等化後再生信号からゼロクロスポイントか否かを示す0ボイ

ント情報を出力するゼロ検出手段と、検出手段よりクロックに同期して取り出される0ポイント情報を、少なくとも連続する3つ出力する遅延回路と、パーシャルレスポンス等化の種類を示すPRモード信号と、再生信号のランレングス制限符号の種類を示すRLモード信号と、遅延回路からの複数の0ポイント情報と、トランスバーサルフィルタから出力される波形等化後再生信号とを入力として受け、PRモード信号とRLモード信号で定まる状態遷移と、複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と波形等化後再生信号との差分値をエラー信号として出力する仮判別回路と、仮判別回路の出力エラー信号に基づき、トランスバーサルフィルタのタップ係数をエラー信号が最小になるように可変制御する係数生成手段とを有する構成としたものである。

【0014】本発明では、仮判別回路によりPRモード信号とRLモード信号で定まる状態遷移と、複数の0ポイント情報のパターンとに基づき、波形等化信号の仮判別値を算出し、その仮判別値と波形等化後再生信号との差分値をエラー信号として出力するようにしたため、現在のサンプル点のレベルに依存することなく、収束目標値との誤差であるエラー信号を生成して出力し、このエラー信号に基づいてトランスバーサルフィルタのタップ係数を可変制御することで、トランスバーサルフィルタによるパーシャルレスポンス波形等化特性をエラー信号を0にするような制御ができる。

【0015】また、本発明は上記の目的を達成するため、記録媒体に記録されているランレングス制限符号を再生し、その再生信号をトランスバーサルフィルタを用いてパーシャルレスポンス等化した後復号する再生装置において、上記発明における仮判別回路から出力されるエラー信号が第1の入力端子に入力され、仮判別回路から出力される仮判別値が第2の入力端子に入力され、仮判別値に応じてエラー信号のうちの有効な成分だけを選択して出力するエラー選択回路を更に設け、このエラー選択回路から出力される信号に基づき、係数生成手段によりトランスバーサルフィルタのタップ係数をエラー信号が最小になるように可変制御する構成としたものである。

【0016】この発明では、エラー選択回路により、仮判別回路から出力されるエラー信号のうち確からしくないエラー値を示す信号を無効化し、確からしいエラー信号だけを有効成分として取り出すことができる。

【0017】また、上記の目的を達成するため、本発明は、上記発明における仮判別回路から出力されるエラー信号が第1の入力端子に入力され、リサンプリング・DPLLがロックすべきゼロクロス点に相当する、リサンプリングによって形成されたサンプルポイントが存在するタイミングを示す0ポイント情報が第2の入力端子に入力され、0ポイント情報が示すサンプルポイントとそ

の直前直後のサンプルポイントでエラー信号を選択し、それ以外のサンプルポイントではエラー信号を無効化するエラー選択回路を更に設け、エラー選択回路から出力される信号に基づき、係数生成手段によりトランスバーサルフィルタのタップ係数をエラー信号が最小になるように可変制御する構成としたものである。

【0018】この発明では、エラー選択回路により0ポイント情報が示すサンプルポイントとその直前直後のサンプルポイントでエラー信号を選択するようにしているので、確からしくないエラー値を示す信号を無効化し、確からしいエラー信号だけを有効成分として取り出すことができる。

【0019】また、上記の目的を達成するため、本発明は、リサンプリング・DPLLによりリサンプリングしたデジタルデータがシステムクロックに同期してビットクロックのタイミングで書き込まれ、システムクロックよりも低い周波数の新たに作成したクロックのタイミングで格納デジタルデータが読み出されてトランスバーサルフィルタに供給する第1のメモリ素子と、0ポイント情報がシステムクロックに同期してビットクロックのタイミングで書き込まれ、新たに作成したクロックのタイミングで格納0ポイント情報が読み出されて遅延回路に供給する第2のメモリ素子とを設けたことを特徴とする。

【0020】この発明では、リサンプリング・DPLLから取り出されるリサンプリングデータ及び0ポイント情報を、FIFOのような第1及び第2のメモリ素子にシステムクロックに同期してビットクロックのタイミングで一旦書き込んでから、ビットクロックの発生する周波数の平均値などの低い周波数の新しいクロックのタイミングで読み出して自動等化回路を構成するトランスバーサルフィルタや遅延回路に入力するようにしたため、自動等化回路は上記の新しいクロックに基づいて、演算動作を行うことができる。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になる再生装置の一実施の形態のブロック図を示す。同図において、ランレングス制限符号が高密度記録された光ディスク15からPDヘッドアンプ16で光電変換及び増幅されたランレングス制限符号(デジタル信号)は、直流阻止回路16で直流成分が阻止され、続いて図示しないA/D変換器を通してAGC回路17で振幅が一定になるように自動利得制御(AGC)された後、リサンプリング・DPLL19に供給される。なお、A/D変換器を設ける位置は、リサンプリング・DPLL19の前であればどこであってもよい。

【0022】リサンプリング・DPLL19は、自分自身のブロックの中でループが完結しているデジタルPLL回路で、A/D変換器により固定のシステムクロック

クでサンプリングされている入力信号に対し所望のビットレートでリサンプリングしたデジタルデータ（すなわち、デジタルデータの位相 0° 、 180° のうち、 180° のリサンプリングデータ）を生成し、本実施の形態の要部を構成する後述の自動等化回路20に供給する。なお、ここでリサンプリングとは、ビットクロックのタイミングにおけるサンプリングデータを、システムクロックのタイミングでA/D変換したデータより間引き補間演算をして求めることをいう。また、リサンプリング・DPLL19は、位相 0° のリサンプリングデータのゼロクロスを検出しており、それにより得られる0ポイント情報を自動等化回路20に供給する。

【0023】なお、上記0ポイント情報は、ビットサンプリングのデータが、ゼロレベルとクロスするポイントをビットクロック単位で示している。更に、リサンプリング・DPLL19は、この0ポイント情報が示すゼロクロスポイントに相当する位相 180° のリサンプリングデータの値に基づいて、それが0になるように、リサンプリングのタイミング、つまり周波数及び位相をロックさせる。

【0024】自動等化回路20によりPR特性が付与された等化後再生波形は、復号回路38に供給されて、例えばビタビ復号される。このビタビ復号の回路構成は公知であり、例えば等化後再生波形のサンプル値からブランチメトリックを計算するブランチメトリック演算回路と、そのブランチメトリックを1クロック毎に累積加算してバスメトリックを計算するバスメトリック演算回路と、バスメトリックが最小となる、最も確からしいデータ系列を選択する信号を記憶するバスメモリとよりなる。このバスメモリは、複数の候補系列を格納しており、バスメトリック演算回路からの選択信号に従って選択した候補系列を復号データ系列として出力する。

【0025】ECC回路39は、上記の復号回路38からの復号データ系列中の誤り訂正符号を用いて、その誤り訂正符号の生成要素の符号誤りを訂正し、誤りの大幅に低減された復号データを出力する。以上の構成において、本実施の形態は自動等化回路20の構成に特徴を有するものであり、以下、この自動等化回路20について更に詳細に説明する。

【0026】図2は本発明装置の要部の自動等化回路の第1の実施の形態のブロック図を示す。同図中、図1と同一構成部分には同一符号を付してある。図2に示すように、図1の自動等化回路20に相当する図2の第1の実施の形態の自動等化回路20aは、リサンプリング・DPLL19からのリサンプリング・データに対してPR等化特性を付与するトランスバーサルフィルタ21と、このトランスバーサルフィルタ21の係数をエラー信号に応じて可変する乗算器・低域フィルタ(LPF)22と、リサンプリング・DPLL19からの0ポイント情報を遅延するタップ遅延回路23と、トランスバー

サルフィルタ21の出力信号とタップ遅延回路23からの遅延信号とに基づいて前記エラー信号を生成する仮判別回路24と、前記エラー信号を極性反転して乗算器・LPF22に供給するインバータ(INV)25とからなる。

【0027】上記のタップ遅延回路23及び仮判別回路24は、この実施の形態の要部をなす回路部で、例えば図3に示す如き回路構成とされている。同図において、端子41を介してトランスバーサルフィルタ21からの波形等化再生信号が仮判別器51に入力される。また、仮判別器51、減算器52及びD型フリップフロップ53により上記の仮判別回路24が構成されている。仮判別器51には、端子41を介して入力されるトランスバーサルフィルタ21からのデータと、タップ遅延回路23の出力データと、端子43を介して入力される後述のPRモード信号と、端子44を介して入力される後述のRLモード信号とが入力される。

【0028】仮判別器51は論理回路により構成されており、入力された信号に基づいて、後述のアルゴリズムに従ってパーシャルレスポンス特性の性質を巧みに利用した仮判別動作を行う。減算器52は端子41からの入力データD3から、仮判別器51からの仮判別結果を差し引いてエラー信号を生成する。D型フリップフロップ53は、データ入力端子に入力される減算器52からのエラー信号を、クロック端子に入力される端子45からのマスタクロックに同期して、かつ、ビットクロックがハイレベルのときにラッチし、これをQ出力端子から端子54及び図2のINV25を介して図2の乗算器・LPF22へ出力する。

【0029】なお、D型フリップフロップ47やタップ遅延回路23内のD型フリップフロップの各イネーブル端子（図示省略）には端子40を介してビットクロックがそれぞれ入力されており、また、各クロック端子には端子45を介してシステムクロックがそれぞれ入力され、更に各クリア端子には端子46を介してリセット信号がそれぞれ入力される。このように、タップ遅延回路23及び仮判別回路24は、いずれもデジタル回路で構成されるため、アナログ特有の経時変化・パラメータばらつきの影響を受けることがなく、信頼性が高く、しかも回路規模も殆ど増えることのない構成である。

【0030】ここで、パーシャルレスポンス(PR)特性について説明するに、例えばPR(a, b, b, a)の特性を図4(A)に示す孤立波に付与して等化すると、その等化波形はよく知られているように図4(B)に示すようになる。更に、連続波では、この等化波形は、0, a, a+b, 2a, 2b, a+2b, 2a+2bの7値をとる。この7値をビタビ復号器に入力すると、元のデータ（入力値）とPR等化後の再生信号（出力値）は、過去の信号の拘束を受け、これと(1, 7)RLLによって入力信号の"1"は2回以上続かないこ

とを利用すると、図4 (C) に示すような状態遷移図で表わすことができることが知られている。

【0031】図4 (C) において、 $S_0 \sim S_5$ は直前の出力値により定まる状態を示す。この状態遷移図から例えば状態 S_2 にあるときは、入力値が $a+2b$ のとき出力値が1となって状態 S_3 へ遷移し、入力値が $2b$ のとき出力値が1となって状態 S_4 へ遷移するが、それ以外の入力値は入力されないことが分かり、また、もし入力されればそれはエラーであることが分かる。

【0032】図5は上記のPR (a, b, b, a) の特性とランレンス制限規則RL Lモードと仮判別器51の出力する仮判定値との関係を示す図である。同図において、一番上の行のPRモードは、端子43を介して仮判別回路24に入力される信号の値を示しており、一番左の列のRL Lモードは、端子44を介して仮判別回路24の仮判別器51に入力される信号を示しており、ここではRL L (1, X) とRL L (2, X) を示している。

【0033】PRモードの値はパーシャルレスポンス特性がPR (1, 1)、PR (1, 1, 1)、PR (1, 2, 2, 1)、PR (1, 3, 3, 1)、PR (2, 3, 3, 2) 及びPR (3, 4, 4, 3) のいずれであることを示す。また、RL L (1, X) は最小反転間隔が"2"で、最大反転間隔が変調方式によって異なる所定の値Xのランレンス制限規則を示し、RL L (2, X) は最小反転間隔が"3"で、最大反転間隔が変調方式によって異なる所定の値Xのランレンス制限規則を示している。

【0034】RL L (1, X) の場合は、図4と共に説明したように、等化波形は、PR (a, b, b, a) では0, a, a+b, 2a, 2b, a+2b, 2a+2bの7値をとり、これらに対応した各パーシャルレスポンス特性における仮判定値が図5に示されている。仮判定値のうち、矢印の右側の値が上記の7値の中央値である「a+b」が"0"になるようにオフセットしたときの値を示す。RL L (2, X) はRL L (1, X) と同様の仮判定値を示すが、RL L (1, X) の2a、2bで示す2行の値は存在しない。これは、図4 (C) の状態遷移図の $S_5 \rightarrow S_1$ 、 $S_2 \rightarrow S_4$ の遷移が存在しないからである (値2a、2bをとらないからである)。

【0035】また、図5において、PR (1, 1) はPR (a, b, b, a) の $a=0$ 、 $b=1$ の場合である。更に、図5において、ゲインGはオフセット後の絶対値の最大値 (a+b) * を正規化するための乗算係数であり、 $A/(a+b) *$ で表される (ただし、Aは任意のレベル)。

【0036】次に、再び図3に戻って図3に示す回路の動作について説明するに、端子41を介して入力されたトランスバーサルフィルタ21からの波形等化再生信号は、現在時刻における信号D3として取り扱われる。一

方、リサンプリング・DPLL19からの0ポイント情報が端子42を介してタップ遅延回路23に供給され、そのタップ遅延出力が仮判別器51に入力される。仮判別器51は後述のアルゴリズムに従って、パーシャルレスポンス等化を前提とした仮判別 (収束目標設定) を行う。

【0037】減算器52は端子41よりの現在時刻信号D3から仮判別器51により得られた判別結果を減算してエラー信号を演算し、そのエラー信号をD型フリップフロップ53でラッチした後出力端子54を介して図2のインバータ25で極性反転させた後、乗算器・LPF22へ出力する。インバータ25で極性反転されたエラー信号は、乗算器・LPF22でトランスバーサルフィルタ21からのタップ出力と乗算された後高域周波数成分が除去された後、上記のエラー信号を0にするようなタップ係数 (フィルタ係数) としてトランスバーサルフィルタ21へ出力される。

【0038】次に、仮判別器51による動作について、図6のフローチャート等と共に更に詳細に説明する。ここで、上記の0ポイント情報の値Zが"1"であるときはゼロクロスポイントを示しており、これは、図4 (C) に示したPR (a, b, b, a) の状態遷移図では「a+b」という値で表わされており、状態 $S_1 \rightarrow S_2$ 又は状態 $S_4 \rightarrow S_5$ へ遷移する過程において発生する。

【0039】この場合、図4 (C) 中、右半分の状態 S_2 、 S_3 及び S_4 は正の値の経路 ($a+b=0$ に正規化した場合、図5と共に説明したように、 $a+2b$ 、 $2a+2b$ 、 $2b$ のいずれか) を辿り、左半分の状態 S_5 、 S_0 及び S_1 は負の値の経路 ($a+b=0$ に正規化した場合、図5と共に説明したように、0、a、 $2a$ のいずれか) を辿るため、ゼロクロスポイントの前又は後の値を参照することにより、正の経路なのか、負の経路なのかが判別できる。

【0040】しかも、あるゼロクロスポイントから次のゼロクロスポイントまでの間隔が分かれば、つまり状態 S_2 から状態 S_5 に至るまで、又は状態 S_5 から状態 S_2 に至るまでの遷移数がわかれば、経路が確定し、取り得べき値が各々のサンプル点に対して明確になる。

【0041】また、上記の状態遷移図で「a+b」以外の値、すなわちゼロクロスポイントでないときは、上記の0ポイント情報の値Zは"0"である。この状態遷移図から、ゼロクロスポイント ($Z=1$) は2つ連続して取り出されることはなく、また、RL L (1, X) の場合は、隣接する $Z=1$ の間には最低1つの"0"が存在する (0ポイント情報の値Zが $1 \rightarrow 0 \rightarrow 1$ と変化したとき、すなわち、状態 $S_2 \rightarrow S_4 \rightarrow S_5$ 、あるいは状態 $S_5 \rightarrow S_1 \rightarrow S_2$ と遷移したとき)。なお、RL L (2, X) の場合は、隣接する $Z=1$ の間には最低2つの"0"が存在する。 $2a$ 及び $2b$ の値は存在しないからで

ある。

【0042】実際の信号では、ノイズ等の影響により、ゼロクロスポイント自体の検出を誤ることも十分に予想されるが、フィードバック制御の場合、正しい判定のできる確率が誤る確率を上回っていれば、正しい方向に収束していくはずであり、また、十分な積分処理のため、単発のノイズは実用上問題ないと考えられる。

【0043】以上の点に着目し、仮判別器51は、まず、端子42、タップ遅延回路23を介してビットクロックの周期毎に入力される0ポイント情報の値Zを識別し、連続する5クロック周期の5つの値がオール"0"であるかどうか(図6のステップ61)、上記の5つの値のうちの最後の値のみが"1"かどうか(図6のステップ62)、上記の5つの値のうちの最初の値のみが"1"かどうか(図6のステップ63)、上記の5つの値のうちの最初と最後の値が"1"で残りの3つの値は"0"かどうかを判別する(図6のステップ64)。

【0044】これらのパターンは、着目する0ポイント情報の値Zの中央の値を"0"としたとき、前後両側の0ポイント情報の値Zがいずれも"0"である場合であり、このときは信号波形が正側、又は負側に張り付いている場合であるので、これらのパターンのいずれかを満たすときは、

$$P = (a + b) \times G \quad (1)$$

なる式により、大なる値Pを算出する(図6のステップ65)。ただし、(1)式及び後述の(2)、(3)式中、Gは図5に示したゲイン、a、bはPR(a, b, a)におけるaとbの値を、中央値(a+b)が0になるようにオフセットした後の値であることを示す。これらa、b及びGの値は、端子43を介して入力されるPRモード信号、端子44を介して入力されるRLモード信号により求められる既知の値である。

【0045】上記のパターンのいずれでもないときは、連続する5クロック周期の5つの0ポイント情報の値Zが"01010"であるかどうか判別し(図6のステップ66)、このパターンのときはRLモード信号に基づき、RL(1, X)のパーシャルレスポンス等化であるかどうか判定する(図6のステップ67)。このパターンは、着目する中央値の0ポイント情報の値Zを"0"としたとき、中央値の前後両側に隣接する2つのZの値がいずれも"1"の場合であり、これは前記したように、RL(1, X)のときのみ発生する可能性があるため、RL(1, X)であるときは

$$P = (b - a) \times G \quad (2)$$

なる式により、値Pを算出する(図6のステップ68)。なお、このときは、極性が2クロック目で瞬時に変化するので、(2)式により小なる値Pが算出される。

【0046】連続する5クロック周期の5つの0ポイント情報の値Zが"01010"でないときは、それら5

つの0ポイント情報の値Zが"01001"、"10010"、"00010"及び"01000"のうちのいずれかのパターンであるかどうか判別する(図6のステップ69~72)。これら4つのパターンは、連続する5つの0ポイント情報のうち中央値がゼロクロス点を示しておらず、かつ、中央値の前後に隣接する2つの0ポイント情報の一方がゼロクロス点を示しているときである。

【0047】上記の4つのパターンのどれかであるとき、あるいはステップ67でRLモードが(1, X)でないときと判定されたときは、

$$P = b \times G \quad (3)$$

なる式により、値Pを算出する(図6のステップ73)。この場合、信号波形は短期間、同じ極性を保っているため、(1)式及び(2)式の間レベルの値Pが(3)式により算出される。

【0048】上記のステップ65、68及び73のいずれかで値Pを算出すると、続いてD型フリップフロップ47から取り出される現在時刻の波形等化信号D3が0以上であるかどうか判別する(図6のステップ74)。現在時刻の波形等化信号D3が0以上であるときは最終仮判定レベルQをPの値とし(図6のステップ75)、負であるときは最終仮判定レベルQを-Pの値とする(図6のステップ76)。

【0049】なお、ステップ72で0ポイント情報の値Zが"01000"でないときと判定されたときは、最終仮判定レベルQを"0"とする(図6のステップ77)。例えば、連続する5つの0ポイントZの中央値が"1"の場合などがこの場合に相当する。

【0050】以上の仮判別処理により得られた仮判定レベルQは、図3の減算器52に供給されて現在時刻の波形等化信号D3との差分をとられてエラー信号とされ、前述したように、D型フリップフロップ53でラッチされた後出力端子54及び図2のINV25を介して図2の乗算器・LPF22へ出力され、ここで乗算されてから高域周波数成分が除去され、トランスバースフィルタ21にタップ係数として出力される。このようにして、図3の減算器52から取り出されるエラー信号が0になるように、トランスバースフィルタ21のタップ係数が可変制御されることにより、トランスバースフィルタ21による波形等化を収束範囲を拡大させて好適に行うことができる。

【0051】次に、上記の仮判別処理による波形等化について、更に具体的に説明する。例えば、図7(A)に実線で示す波形の等化後再生信号が、トランスバースフィルタ21から取り出されて仮判別回路24に入力される場合、この仮判別回路24にはリサンプリング・DPLL19からは同図(A)の波形の下部に示すような値Zの0ポイント情報も入力される。ここで、図7

(A)において、○印は記録媒体に記録されたランレン

グス制限符号の本来のデータ点を示す。また、×印はトランスバーサルフィルタ21によりパーシャルレスポンス等化するときの等化用のサンプル点を示し、これは本来のデータ点から180°ずれている(他の図7(B)~(D)、図8、図9も同様)。

【0052】図7(A)において、連続する5つの0ポイント情報の値Zがオール"0"のときと"10000"のときと"00001"のときは前記(1)式に基づいて等化され(図6のステップ61~63、65)、図7(B)に示すように、再生信号が本来と同様の波形で得られる。なお、上記の(1)式~(3)式の演算結果による波形等化は、連続する5つの0ポイント情報の値Zの3番目のタイミングで、波形等化信号D3の極性に応じて行われることは図6に示した通りである。

【0053】図7(C)はリサンプリング・DPLL19から取り出された連続する5つの0ポイント情報の値Zが"10001"であるときの、トランスバーサルフィルタ21の出力等化後再生信号波形の一例を示す。この場合、連続する5つの0ポイント情報の値Zの3番目のタイミングの、波形等化信号D3の値は正であるから、このとき(1)式による波形等化が行われ(図6のステップ64、65、74、75)、図7(D)に示す等化後再生信号がトランスバーサルフィルタ21から得られる。

【0054】図8(A)はリサンプリング・DPLL19から取り出された連続する5つの0ポイント情報の値Zが"01010"で、かつ、RL(1, X)であるときと、連続する5つの0ポイント情報の値Zが"01001"であるときのトランスバーサルフィルタ21の出力等化後再生信号波形の一例を示す。この場合、連続する5つの0ポイント情報の値Zが"01010"のときの波形等化信号D3の値は正であるから、(2)式による正の値の波形等化が行われ(図6のステップ66~68、74、75)、"01001"のときの波形等化信号D3の値は負であるから、(3)式による負の値の波形等化が行われ(図6のステップ69、73、74、76)、図8(B)に示す等化後再生信号がトランスバーサルフィルタ21から得られる。

【0055】図9(A)はリサンプリング・DPLL19から取り出された連続する5つの0ポイント情報の値Zが"01000"であるときと、連続する5つの0ポイント情報の値Zが"00010"であるときのトランスバーサルフィルタ21の出力等化後再生信号波形の一例を示す。この場合、連続する5つの0ポイント情報の値Zが"01000"、"00010"のときはいずれも波形等化信号D3の値は正であるから、(3)式による正の値の波形等化が行われ(図6のステップ71、73~75、又はステップ72~75)、図9(B)に示す等化後再生信号がトランスバーサルフィルタ21から得られる。

【0056】更に、図9(C)はリサンプリング・DPLL19から取り出された連続する5つの0ポイント情報の値Zが"01001"であるときと、連続する5つの0ポイント情報の値Zが"10010"であるときのトランスバーサルフィルタ21の出力等化後再生信号波形の一例を示す。この場合、連続する5つの0ポイント情報の値Zが"01001"、"10010"のときはいずれも波形等化信号D3の値は正であるから、(3)式による正の値の波形等化が行われ(図6のステップ69、73~75、又はステップ70、73~75)、図9(D)に示す等化後再生信号がトランスバーサルフィルタ21から得られる。

【0057】このように、この実施の形態では、0ポイント情報の値Zを参照し、状態遷移図から自と決定される値に等化するようにしたため、現在のサンプル点のレベルに依存しない(他の目標値に近くても影響されない)正確な波形等化ができる。また、異なるパーシャルレスポンス等化に対応でき、更に判定を誤る確率はスレッシュホールドが固定の従来装置に比べて少ないので、収束時間を短時間にできる。なお、本実施の形態は、RL(2, X)にも同様に適用できる。図5と共に説明したように、RL(1, X)と略同様の状態遷移が行われるからである。

【0058】図10はこの再生装置の復号回路の出力信号のアイパターンの一例を示す。同図において、縦軸は量子化レベル、横軸は時間を示す。図10(A)に示す例はPRモード信号の値が「6」、すなわちPR(3, 4, 4, 3)で、かつ、RL(2, X)の例で、2a+2b、a+2b、a+b、a及び0の値に短時間で収束していることが分かる。図10(B)に示す例はPRモード信号の値が「1」、すなわちPR(1, 1)で、かつ、RL(2, X)の例であり、a+2b、a+b、aの値に短時間で収束していることが分かる。

【0059】次に、本発明の他の実施の形態について説明する。図11は本発明装置の要部の自動等化回路の第2の実施の形態のブロック図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図11に示すように、図1の自動等化回路20に相当する第2の実施の形態の自動等化回路20bは、リサンプリング・DPLL19aからのリサンプリング・データに対してPR等化特性を付与するトランスバーサルフィルタ21と、このトランスバーサルフィルタ21の係数をエラー信号に応じて可変する乗算器・低域フィルタ(LPF)22と、タップ遅延回路23と、トランスバーサルフィルタ21の出力信号とタップ遅延回路23からの遅延信号とに基づいて前記エラー信号を生成して乗算器・LPF22に供給する仮判別回路24と、トランスバーサルフィルタ21の出力信号のゼロクロスポイントを検出してタップ遅延回路23に供給するゼロ検出器26からなる。

【0060】ゼロ検出器26は、例えば入力等化後再生信号の極性が反転したときに、近傍の2つのサンプル点のうち、より0に近い方を0ポイント情報としてタップ遅延回路23に供給する。これにより、この実施の形態も、図2の実施の形態と同様の動作を行う。

【0061】ところで、リサンプリング・DPLL19、19aは、その入力側にはAGC回路やATC回路が設けられ、その出力側には自動等化回路20(20a、20b)が設けられているが、自分自身でループが完結しているために、確実な収束が期待でき、また外付けの回路も不要であるので構成が簡単であり、更に、デジタル回路であるので信頼性が高いという利点を有する。しかし、本発明はこれに限らず、以下の実施の形態のようにリサンプリング・DPLLを使用しない構成にも適用できる。

【0062】図12は本発明装置の要部の自動等化回路の第3の実施の形態のブロック図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図12に示すように、図1の自動等化回路20に相当する第3の実施の形態の自動等化回路20cは、リサンプリング・DPLL19からの信号ではなく、再生信号に対しA/D変換及び自動利得制御をし、更にDC制御(ATC制御)を施した信号を入力信号として受け、トランスバースフィルタ21の等化後再生信号が入力されるゼロクロス検出・位相比較器31により0ポイント情報を検出する点に特徴がある。

【0063】ゼロクロス検出・位相比較器31は、トランスバースフィルタ21の等化後再生信号をゼロクロス検出し、その検出ゼロクロス点の位相と電圧制御発振器(VCO)33よりのビットクロックの位相とを位相比較して位相誤差信号を生成する。この位相誤差信号はループフィルタ32を通して電圧制御発振器(VCO)33に制御電圧として印加され、その出力システムクロック周波数を可変制御する。VCO33のシステムクロックは上記のビットクロックを含み、装置のクロックが必要な各ブロックに印加される。

【0064】ループフィルタ32及びVCO33はデジタルでもアナログでも構成可能であり、アナログの場合はD/A変換を行うインターフェースが必要となる。この実施の形態も上記の各実施の形態と同様の長を有する。

【0065】図13は本発明装置の要部の自動等化回路の第4の実施の形態のブロック図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図13に示すように、図1の自動等化回路20に相当する第4の実施の形態の自動等化回路20dは、リサンプリング・DPLL19からの信号ではなく、必要に応じてプリコライズされた再生信号に対しA/D変換器34によりA/D変換されたデジタル信号をトランスバースフィルタ21と共にゼロ検出器27に入力し

て0ポイント情報を検出する点に特徴がある。

【0066】A/D変換器34の入力再生信号は、位相比較器35に供給されてゼロクロス点の位相と、電圧制御発振器(VCO)37からのビットクロックの位相とが位相比較されて位相誤差信号に変換された後、ループフィルタ36を通して電圧制御発振器(VCO)37に制御電圧として印加され、その出力システムクロック周波数を可変制御する。ループフィルタ36及びVCO37はデジタルでもアナログでも構成可能であり、アナログの場合はD/A変換を行うインターフェースが必要となる。VCO37のシステムクロックは上記のビットクロックを含み、装置のクロックが必要な各ブロックに印加される。遅延合わせは必要に応じて行う。

【0067】一方、ゼロ検出器27は、例えばA/D比較器34からの信号の極性が反転したときに、近傍の2つのサンプル点のうち、より0に近い方を0ポイント情報としてタップ遅延回路23に供給する。この実施の形態も上記の各実施の形態と同様の長を有する。

【0068】なお、上記の実施の形態では、仮判別器51は、図6のフローチャートと共に説明したように、端子42、タップ遅延回路23を介してビットクロックの周期毎に入力される、連続する5つの0ポイント情報の値Zに基づいて仮判別結果を得ているが、連続する3つの0ポイント情報の値Zに基づいて仮判別結果を得ることもできる。図14はこの場合のフローチャートを示す。まず、連続する3クロック周期の3つの0ポイント情報の値Zがオール"0"であるかどうか判別し(図14のステップ81)、このときは信号波形が正側、又は負側に張り付いている場合であるので、このパターンを満たすときは、前記(1)式により大なる値Pを算出する(図14のステップ82)。

【0069】上記のパターンでないときは、連続する3クロック周期の3つの0ポイント情報の値Zが"101"であるかどうか判別し(図14のステップ83)、このパターンのときはRLモード信号に基づき、RL(1,X)のパーシャルレスポンス等化であるかどうか判定する(図14のステップ84)。このパターンは、着目する中央値の0ポイント情報の値Zを"0"としたとき、前後両側に隣接するZの値がいずれも"1"の場合であり、これは前記したように、RL(1,X)のときのみ発生する可能性があるため、RL(1,X)であるときは前記(2)式により値Pを算出する(図14のステップ85)。

【0070】連続する3クロック周期の3つの0ポイント情報の値Zが"101"でないときは、それら3つの0ポイント情報の値Zが"100"と"001"のうちのいずれかのパターンであるかどうか判別する(図14のステップ87、88)。これらのパターンは、着目する中央値の0ポイント情報の値Zの中央の値を"0"としたとき、前後両側に隣接する2つの0ポイント情報の

値Zの一方が"1"である場合である。これらのパターンのどれかであるとき、あるいはステップ84でRLLMモードが(1, X)でないと判定されたときは、前記(3)式により値Pを算出する(図14のステップ86)。

【0071】上記のステップ82、85及び86のいずれかで値Pを算出すると、続いてD型フリップフロップ47から取り出される現在時刻の波形等化信号D3が0以上であるかどうか判別する(図14のステップ9)。現在時刻の波形等化信号D3が0以上であるときは最終仮判定レベルQをPの値とし(図14のステップ91)、負であるときは最終仮判定レベルQを-Pの値とする(図14のステップ90)。ステップ88で0ポイント情報の値Zが"001"でないと判定されたときは、最終仮判定レベルQを"0"とする(図14のステップ92)。例えば、連続する3つの0ポイントZの中央値が"1"の場合がこの場合に相当する。

【0072】図15は本発明装置の要部の自動等化回路の第5の実施の形態のブロック図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図15に示すように、図1の自動等化回路20に相当する第5の実施の形態の自動等化回路20eは、仮判別回路24とINV25の間にエラー選択回路55を設けた点に特徴がある。

【0073】エラー選択回路55は例えば図16に示すように、第1の入力端子551に仮判別回路24から出力されたエラー信号が入力され、第2の入力端子552に仮判別回路24の別の出力である仮判別情報が入力され、選択回路553、スイッチ回路554及び0発生器555から構成されている。仮判別回路24から出力される仮判別情報は、PR等化の目標値に設定されているはずであり、その目標値からのずれがエラー信号として出力されているので、選択回路553は仮判別回路24が目標値としてゼロクロスポイントに対応した0*を出力するときは"1"を出力する。

【0074】また、選択回路553はRL(2, X)のときは上記の仮判別情報の値が $+b^*$ 、 $-b^*$ であるときも"1"を出力する。この b^* は前述したように、PR(a, b, b, a)におけるbの値を、RL(1, X)又はRL(2, X)の中央値 $(a+b)$ で正規化(いわゆるオフセット)した値であり、 $+b^*$ 又は $-b^*$ のときは、ゼロクロスポイントの直前又は直後の値であると判断して"1"を出力する。仮判別情報の値が上記の値以外のときは、選択回路553は"0"を出力する。RL(1, X)のときは $+(b-a)^*$ 、 $-(b-a)^*$ のときには、ゼロクロスポイントの直前又は直後の値であると判断して"1"を、それ以外のときは"0"を出力する。

【0075】スイッチ回路554は、端子aに入力されるエラー信号と、端子bに入力される0発生器555か

らの固定の値0を入力として受けると共に、選択回路553の出力信号がスイッチング信号として供給され、選択回路553の出力信号が"1"のときは端子aに入力されたエラー信号の有効成分を選択し、選択回路553の出力信号が"0"のときは端子bに入力された値0を選択する。選択回路553で選択された信号は、出力端子556を介して図15のINV25を経由して乗算器・LPF22に供給され、トランスバーサルフィルタ21からのタップ出力と乗算された後高域周波数成分が除去された後、上記のエラー信号を0にするようなタップ係数(フィルタ係数)とされてトランスバーサルフィルタ21に入力される。

【0076】次に、この実施の形態の作用について、RL(2, X)の場合を例にとりて説明する。エラー選択回路55を有しない自動等化回路20a等では、自動等化回路20の出力信号が図17(A)にIで示すように正しくPR等化されている信号である場合は、目標値0(ゼロクロスポイント)のときのサンプル点は丸印で、目標値が $+b^*$ 又は $-b^*$ のときのサンプル点は×印で、目標値が $(a+b)^*$ 又は $-(a+b)^*$ のときのサンプル点は三角印でそれぞれ示され、このときの仮判別回路24から出力されるエラー信号は図17(B)に模式的に示すように目標値とのずれは僅かであり、正しい波形等化が得られる。

【0077】しかし、光ディスクからの再生信号に見られるように、再生信号に歪みが大きいときは、自動等化回路20の出力信号は例えば図18(A)にIIで示すように歪みにより、丸印で示す目標値0(ゼロクロスポイント)のときのサンプル点と、×印で示す目標値が $+b^*$ 又は $-b^*$ のときのサンプル点と、三角印で示す目標値が $(a+b)^*$ 又は $-(a+b)^*$ のときのサンプル点のうち、三角印で示すサンプル点が目標値からずれた波形部分IIIが生じ、仮判別回路24から出力されるエラー信号中には図18(B)にIVで模式的に示すように目標値とのずれが大きなエラーが発生する。つまり、ゼロクロス付近でないサンプル点に不正確なデータが現れる。

【0078】そこで、この実施の形態では、図16に示した構成のエラー選択回路55を図15に示すように仮判別回路24の出力側に設け、目標値0*、 $+b^*$ 又は $-b^*$ (RL(2, X)の場合)のときのゼロクロス付近のサンプル点以外のサンプル点のエラー信号は出力せず、固定値0を出力することでエラー信号を無効化するようにしているため、歪みが大きくて図19(A)にII(図18(A)のIIと同じ)で示すような正しくPR等化されていない信号が自動等化回路20から出力されるような場合であっても、自動等化回路20eではエラー選択回路55から出力されるエラー信号が図19(B)に示すようにゼロクロス付近でないサンプル点は黒三角印で示すように固定値0に置き換えられる。

【0079】このため、エラー選択回路55が存在しな

いときに目標値とのずれが大きく発生したサンプル位置でも、この実施の形態では図19(B)にVで示すように、目標値とのずれがないようにされる。このように、この実施の形態では、エラー信号のうち確からしくないエラー信号を無効化し、確からしいものだけをエラー信号の有効成分として用いることにより、正しい目標値に収束でき、結果としてエラーレートを改善できる。なお、前記の実施の形態に比べてこの実施の形態ではエラー信号の一部を無効化しているので効率が落ちるが、自動等化回路20eのループゲインを上げることで効率の低下を抑えることができる。

【0080】図20は本発明装置の要部の自動等化回路の第6の実施の形態のブロック図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図20に示すように、図1の自動等化回路20に相当する第6の実施の形態の自動等化回路20fは、仮判別回路24及びタップ遅延回路23とINV25の間にエラー選択回路57を設けた点に特徴がある。

【0081】図21はエラー選択回路57とタップ遅延回路23の一部の回路23aを示す。リサンプリング・DPLL19からの0ポイント情報は、リサンプリング・DPLL19がロックすべきゼロクロス点に相当する、リサンプリングによって形成されたサンプルポイントが存在するタイミングを示す情報（例えば、そのポイントだけ”1”で、それ以外は”0”）であり、図21の縦続接続された2つのラッチ回路231及び232によりそれぞれ1サンプルクロックずつ遅延されてOR回路233に供給されると共に、直接にOR回路233に供給される。従って、OR回路233からは連続する3つの0ポイント情報の少なくともどれか1つが”1”であるときのみ”1”が出力され、スイッチ回路571にスイッチング信号として印加される。

【0082】このスイッチ回路571は、OR回路233の出力信号が”1”のときは、仮判別回路24から出力されたエラー信号を選択して出力端子573へ出力し、OR回路233の出力信号が”0”のときは、0発生器572から出力された固定の値”0”を選択して出力端子573へ出力する。

【0083】ここで、OR回路233に輸入される連続する3クロック周期の3つの0ポイント情報の少なくともどれか一つが”1”であるときには、リサンプリング・DPLL19に輸入されるデジタル再生信号がゼロクロスサンプル値及びその直前のサンプル値と直後のサンプル値の計3つのサンプル値のどれかであることを示しており、よって、選択回路571はこのときの仮判別回路24から出力されるエラー信号のみを選択し、それ以外のサンプル値のタイミングでは、0発生器572からの固定値0を選択する。これにより、図16の構成のエラー選択回路55と同様にエラー選択回路57からはゼロクロス付近でない確からしくないエラー信号を無効

化し、確からしいエラー信号のみを選択出力するため、エラー選択回路55使用時と同様の効果を得ることができる。

【0084】図22は仮判別回路24内の図3に示した仮判別器51の他の例の動作説明用フローチャートを示す。同図中、図6と同一処理ステップには同一符号を付し、その説明を省略する。図22において、着目する0ポイント情報の値Zの中央の値を”0”としたとき、前後両側の0ポイント情報の値Zがいずれも”0”である場合（すなわち、信号波形がゼロクロスポイントから離れている場合）には、ステップ65で（1）式の演算によりPを算出した後、仮判定レベルQを0とし（ステップ95）、処理を終了する。

【0085】仮判定レベルQは、現在時刻の波形等化信号D3との差分をとられてエラー信号とされるが、

（1）式によりPを算出する場合は、サンプル値がゼロクロスサンプルより離れているサンプル値を示しているため、それらのサンプル値は確からしくないと判断し、仮判定レベルQを0とすることで、エラー信号を無効化する。

【0086】図23は仮判別回路24内の図3に示した仮判別器51の更に他の例の動作説明用フローチャートを示す。同図中、図14と同一処理ステップには同一符号を付し、その説明を省略する。図22において、連続する3クロック周期の3つの0ポイント情報の値Zがオール”0”であるときは信号波形がゼロクロスポイントから離れている場合であるため、ステップ82で前記

（1）式により大なる値Pを算出した後、仮判定レベルQを0とし（ステップ97）、処理を終了する。

【0087】仮判定レベルQは、現在時刻の波形等化信号D3との差分をとられてエラー信号とされるが、

（1）式によりPを算出する場合は、サンプル値がゼロクロスサンプルより離れているサンプル値を示しているため、それらのサンプル値は確からしくないと判断し、仮判定レベルQを0とすることで、エラー信号を無効化する。

【0088】ところで、以上の実施の形態では、リサンプリング・DPLL19及び自動等化回路20a、20b、20e、20fはフルデジタル処理で、効果も大きいのであるが、動作周波数はシステムクロックなので、すべての演算がシステムクロック周波数の中で行わなければならない、システムによっては、ICデバイスによる速度制限・消費電力の点で適さない場合が考えられる。

【0089】そこで、以下説明する実施の形態では、自動等化回路に輸入されるリサンプリングデータ及び0ポイント情報に対して、それぞれFIFOのようなメモリ素子を追加し、システムクロックに同期してリサンプリング・DPLL19などで生成されたビットクロックのタイミングで書き込み、例えば、ビットクロックの発生

する周波数の平均値に相当する新しいクロック周波数のタイミングで読み出し、後段の演算を新しいクロックを使用して行う。

【0090】図24は本発明になる再生装置の他の実施の形態のブロック図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図24において、リサンプリング・DPLL19によりビットクロックのタイミングにおける入力サンプリングデータを、システムクロックのタイミングでA/D変換したデータより間引き補間演算をして求めたリサンプリングデータが、メモリ素子であるFIFO（ファースト・イン・ファースト・アウト）28に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる。

【0091】また、リサンプリング・DPLL19から取り出された、リサンプリングデータのゼロクロスを検出して得られる0ポイント情報も、メモリ素子であるFIFO（ファースト・イン・ファースト・アウト）29に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる。

【0092】FIFO28及び29はそれぞれシステムクロックよりも低い周波数の新しく作られたクロックが、例えば図示しない発振器より読み出しクロックとして入力され、読み出し動作を行う。FIFO28から読み出されたリサンプリングデータと、FIFO29から読み出された0ポイント情報は、自動等化回路20にそれぞれ供給される。

【0093】これにより、自動等化回路20は上記の新しいクロック（FIFO28及び29の読み出しクロック）に基づいて、演算動作を行うことが可能となり、回路の動作周波数が図1よりも低くて済み、演算時間に余裕ができるので、ラッチ等が少なくなり、回路遅延・回路規模が小さくて済む。これにより、ICデバイスによる速度制限・コスト・消費電力の問題を解決できる。

【0094】図25は本発明装置の要部の自動等化回路の第7の実施の形態のブロック図を示す。同図中、図2及び図24と同一構成部分には同一符号を付し、その説明を省略する。図25において、リサンプリング・DPLL19から取り出されたリサンプリングデータはFIFO28に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる一方、リサンプリング・DPLL19から取り出された0ポイント情報が、FIFO29に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる。

【0095】FIFO28及び29はそれぞれシステムクロックよりも低い周波数の新しく作られたクロックで読み出し動作を行い、FIFO28から読み出されたリサンプリングデータと、FIFO29から読み出された0ポイント情報は、第7の実施の形態の自動等化回路20gに供給される。この自動等化回路20gは基本的な

構成は自動等化回路20aと同様であるが、自動等化回路20aと異なり、システムクロックよりも低い新しいクロックで動作する。

【0096】すなわち、自動等化回路20g内のタップ遅延回路23及び仮判別回路100は図26に示す構成とされている。同図中、図3と同一構成部分には同一符号を付し、その説明を省略する。図26において、D型フリップフロップ102は、イネーブル端子ENがハイレベルの電源端子に固定的に接続されて、常時動作状態とされており、データ入力端子Dに入力される減算器52からのエラー信号を、クロック端子CLKに図示しない発振器から端子101を介して入力される新しいクロックに同期してラッチし、これをQ出力端子から端子103及び図25のINV25を介して図25の乗算器・LPF22へ出力する。

【0097】なお、タップ遅延回路23内のD型フリップフロップの各イネーブル端子（図示省略）にはハイレベルが固定的に入力され、また、各クロック端子には端子101を介して前記の新しいクロックがそれぞれ入力され、更に各クリア端子には端子46を介してリセット信号がそれぞれ入力される。

【0098】図27は本発明装置の要部の自動等化回路の第8の実施の形態のブロック図を示す。同図中、図11及び図25と同一構成部分には同一符号を付し、その説明を省略する。図27において、リサンプリング・DPLL19aから取り出されたリサンプリングデータはFIFO28に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれた後、システムクロックよりも低い周波数の新しく作られた、例えば発振器からのクロックで読み出され、第8の実施の形態の自動等化回路20h内のトランスバーサルフィルタ21に供給される。この自動等化回路20hは基本的な構成は自動等化回路20bと同様であるが、自動等化回路20bと異なり、システムクロックよりも低い新しいクロックで自動等化回路20h内のタップ遅延回路23及び仮判別回路100などが動作する。

【0099】図28は本発明装置の要部の自動等化回路の第9の実施の形態のブロック図を示す。同図中、図15及び図25と同一構成部分には同一符号を付し、その説明を省略する。図28において、リサンプリング・DPLL19から取り出されたリサンプリングデータはFIFO28に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる一方、リサンプリング・DPLL19から取り出された0ポイント情報が、FIFO29に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる。

【0100】FIFO28からシステムクロックよりも低い周波数の新しいクロックで読み出されたリサンプリングデータは、第9の実施の形態の自動等化回路20i内のトランスバーサルフィルタ21に供給され、FIFO

029から上記の新しいクロックで読み出された0ポイント情報は、自動等化回路20i内のタップ遅延回路23に供給される。この自動等化回路20iは基本的な構成は自動等化回路20eと同様であるが、自動等化回路20eと異なり、システムクロックよりも低い新しいクロックで自動等化回路20i内のタップ遅延回路23及び仮判別回路100などが動作する。

【0101】図29は本発明装置の要部の自動等化回路の第10の実施の形態のブロック図を示す。同図中、図20及び図25と同一構成部分には同一符号を付し、その説明を省略する。図29において、リサンプリング・DPLL19から取り出されたリサンプリングデータはFIFO28に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる一方、リサンプリング・DPLL19から取り出された0ポイント情報が、FIFO29に供給されてシステムクロックに同期してビットクロックのタイミングで書き込まれる。

【0102】FIFO28からシステムクロックよりも低い周波数の新しいクロックで読み出されたリサンプリングデータは、第10の実施の形態の自動等化回路20j内のトランスバースフィルタ21に供給され、FIFO29から上記の新しいクロックで読み出された0ポイント情報は、自動等化回路20j内のタップ遅延回路23に供給される。この自動等化回路20jは基本的な構成は自動等化回路20fと同様であるが、自動等化回路20fと異なり、システムクロックよりも低い新しいクロックで自動等化回路20j内のタップ遅延回路23及び仮判別回路100などが動作する。

【0103】なお、本発明は以上の実施の形態に限定されるものではなく、例えば仮判別回路24、100はPRモード信号とRLモード信号の両方を可変としてエラー信号を生成するようにしたが、いずれか一方又は両方を固定してエラー信号を生成することもできる。

【0104】また、前記INV25はトランスバースフィルタ21の係数を更新する際に、ネガティブフィードバック（負帰還）にする目的で挿入しているものであり、その目的を達成する方法は他にも多く考えられ、代表的な方法は次の通りである。①INVでトランスバースフィルタ21のタップ出力それぞれを反転する。②INVで乗算器・LPF22の出力を反転する。③トランスバースフィルタ21内部のメイン信号の極性を変えてつじつまを合わせる。④ループ内各ブロックのうちのいずれかの中で極性反転を行う。このとき、図6、図14、図22、図23に示したフローチャートで使用されているD3の極性及びそのエラー出力の極性について配慮されなければならないことは勿論である。また、メモリ素子としてはFIFO以外のRAMその他のメモリ素子を用いることも可能である。

【0105】

【発明の効果】以上説明したように、本発明によれば、

現在のサンプル点のレベルに依存することなく、ゼロクロスサンプルを状態遷移から決定される収束目標値との誤差であるエラー信号を生成して出力し、このエラー信号に基づいてトランスバースフィルタのタップ係数を可変制御することで、パーシャルレスポンス波形等化特性から外れたエラー信号を最小にするような制御を行うようにしたため、異なるパーシャルレスポンス特性に対応できると共に、収束範囲を従来のタップ係数固定値の波形等化回路に比し収束範囲を拡大できる。

【0106】また、本発明によれば、従来のタップ係数固定値の波形等化回路に比べ判定を誤る確率が低いので、従来に比べて収束時間を短縮できる。

【0107】更に、本発明によれば、最小反転間隔2と3のいずれのランレングス制限符号に対応でき、また、ディジタル回路で構成できるため、アナログ回路に比べて信頼性が高く、また回路規模も殆ど増大することのない構成にできる。

【0108】また、更に、本発明によれば、エラー選択回路により確からしくないエラー値を示す信号を無効化し、確からしいエラー信号だけを有効成分として取り出すようにしたため、再生信号の歪みが大きく、パーシャルレスポンス等化しきれない場合でも、目標値とのずれが小さく、正しくエラー信号を抽出でき、結果としてエラーレートを向上することができる。

【0109】また、本発明によれば、リサンプリング・DPLLから取り出されるリサンプリングデータ及び0ポイント情報を、FIFOのようなメモリ素子にシステムクロックに同期してビットクロックのタイミングで一旦書き込んでから、ビットクロックの発生する周波数の平均値などの低い周波数の新しいクロックのタイミングで読み出して自動等化回路に入力することにより、自動等化回路が上記の新しいクロックに基づいて演算動作を行えるようにしたため、回路の動作周波数がメモリ素子を用いない回路に比べて低くて済み、演算時間に余裕ができ、このことからラッチ等が少なくなり、回路遅延・回路規模が小さくて済み、結果として、ICデバイスによる速度制限の問題を解決でき、また、コストや消費電力を低減できる。

【図面の簡単な説明】

【図1】本発明になる再生装置の一実施の形態のブロック図である。

【図2】本発明装置の要部の自動等化回路の第1の実施の形態のブロック図である。

【図3】図2中のタップ遅延回路と仮判別回路の一実施の形態の回路図である。

【図4】パーシャルレスポンス特性の説明図である。

【図5】PR(a, b, b, a)の特性とランレングス制限規則RLモードと仮判別器の仮判定値との関係を示す図である。

【図6】図3中の仮判別器の一例の動作説明用フローチ

ャートである。

【図7】本発明による波形等化前と波形等化後の波形例を示す図（その1）である。

【図8】本発明による波形等化前と波形等化後の波形例を示す図（その2）である。

【図9】本発明による波形等化前と波形等化後の波形例を示す図（その3）である。

【図10】本発明による再生装置の復号回路の出力信号のアイパターンの一例を示す図である。

【図11】本発明装置の要部の自動等化回路の第2の実施の形態のブロック図である。

【図12】本発明装置の要部の自動等化回路の第3の実施の形態のブロック図である。

【図13】本発明装置の要部の自動等化回路の第4の実施の形態のブロック図である。

【図14】図3中の仮判別器の他の例の動作説明用フローチャートである。

【図15】本発明装置の要部の自動等化回路の第5の実施の形態のブロック図である。

【図16】図15中のエラー選択回路の一実施の形態のブロック図である。

【図17】正しくPR等化されている場合のサンプル点の様子と抽出されたエラー成分を示す図である。

【図18】正しくPR等化されていない場合のサンプル点の様子とエラー選択回路を有しないで抽出されたエラー成分を示す図である。

【図19】正しくPR等化されていない場合のサンプル点の様子と図16のエラー選択回路により抽出されたエラー成分を示す図である。

【図20】本発明装置の要部の自動等化回路の第6の実施の形態のブロック図である。

【図21】図20中のエラー選択回路の一実施の形態のブロック図である。

【図22】仮判別回路の要部の他の例の動作説明用フローチャートである。

【図23】仮判別回路の要部の更に他の例の動作説明用フローチャートである。

【図24】本発明による再生装置の他の実施の形態のブ

ロック図である。

【図25】本発明装置の要部の自動等化回路の第7の実施の形態のブロック図である。

【図26】図25中のタップ遅延回路と仮判別回路の一実施の形態の回路図である。

【図27】本発明装置の要部の自動等化回路の第8の実施の形態のブロック図である。

【図28】本発明装置の要部の自動等化回路の第9の実施の形態のブロック図である。

【図29】本発明装置の要部の自動等化回路の第10の実施の形態のブロック図である。

【図30】従来の再生装置の一例のブロック図である。

【符号の説明】

15 光ディスク

19 リサンプリング・DPLL

20、20a、20b、20c、20d、20e、20f、20g、20h、20i、20j 自動等化回路

21 復号回路

21 トランスバーサルフィルタ

22 乗算器・低域フィルタ（LPF）

23 タップ遅延回路

23a タップ遅延回路の要部

24、100 仮判別回路

26、27 ゼロ検出器

28、29 FIFO

31 ゼロクロス検出・位相比較器

33、37 電圧制御発振器（VCO）

35 位相比較器

51 仮判別器

52 減算器

55、57 エラー選択回路

101 新しいクロックの入力端子

231、232 ラッチ回路

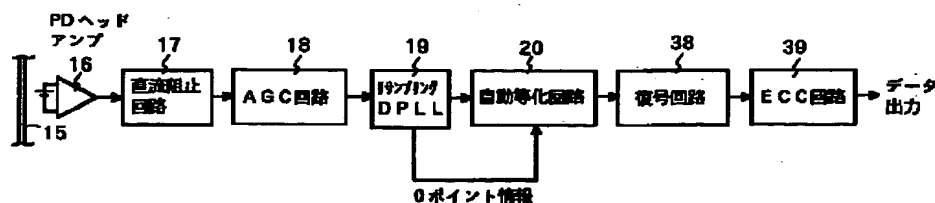
233 OR回路

55-3 選択回路

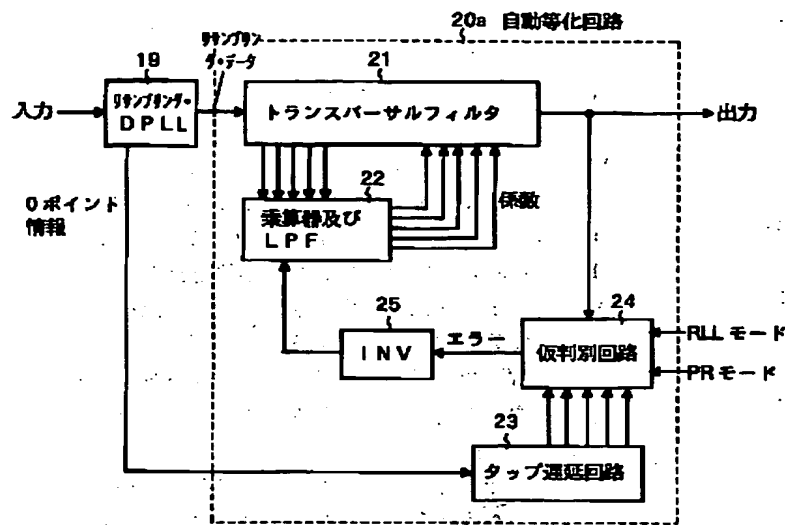
55.4、57.1 スイッチ回路

55.5、57.2 0発生器

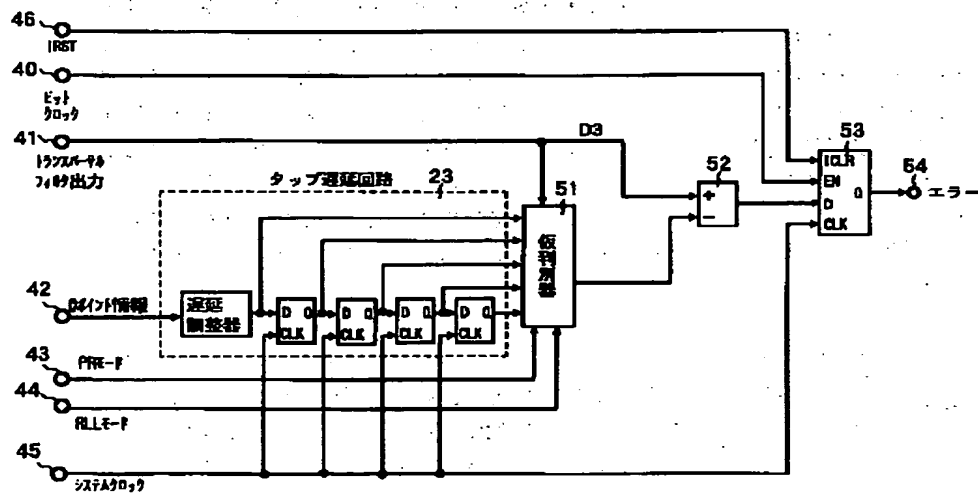
【図1】



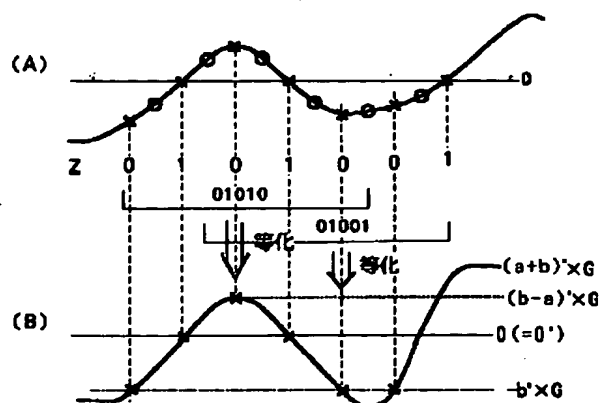
【図2】



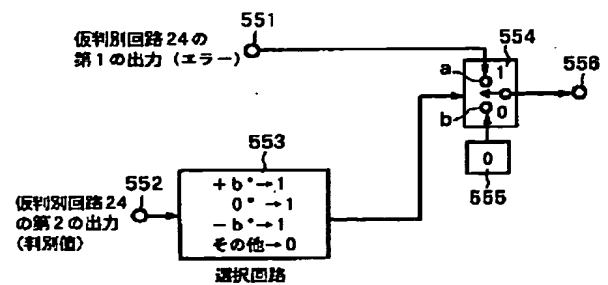
【図3】



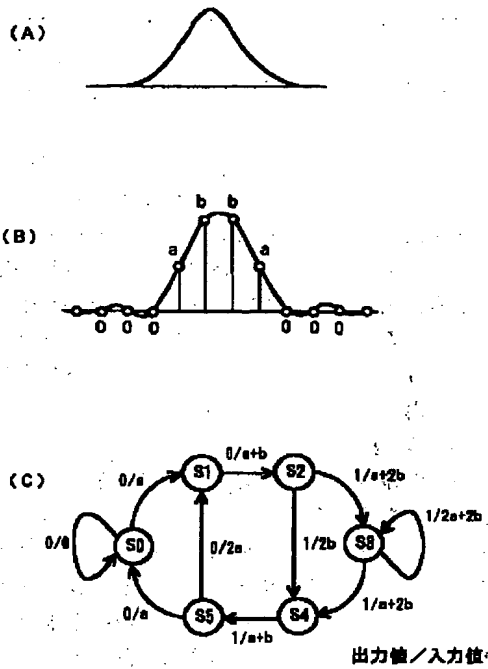
【図8】



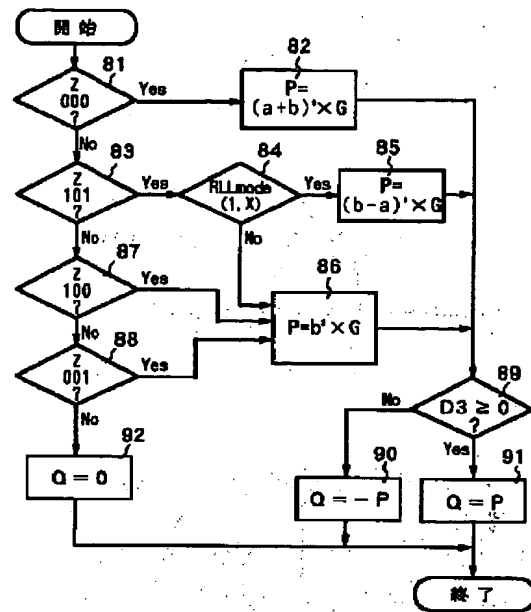
【図16】



【図4】



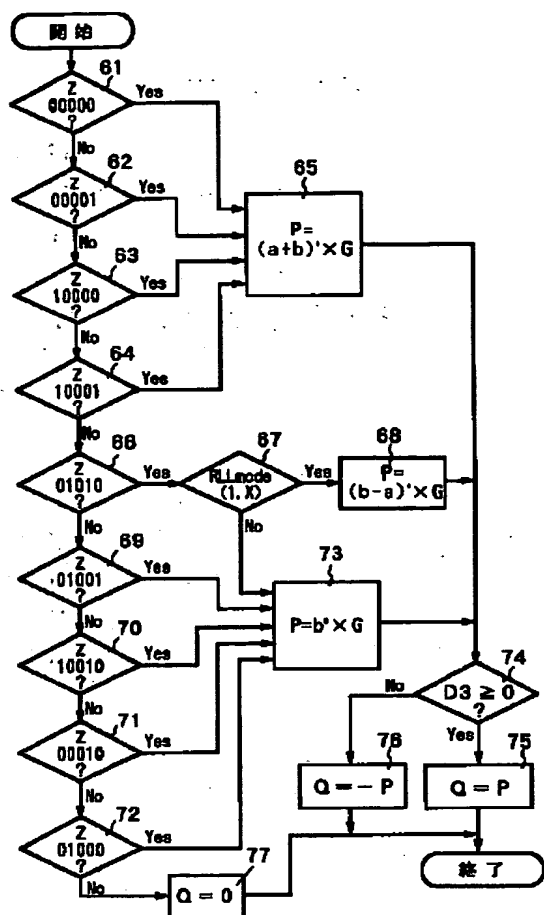
【図14】



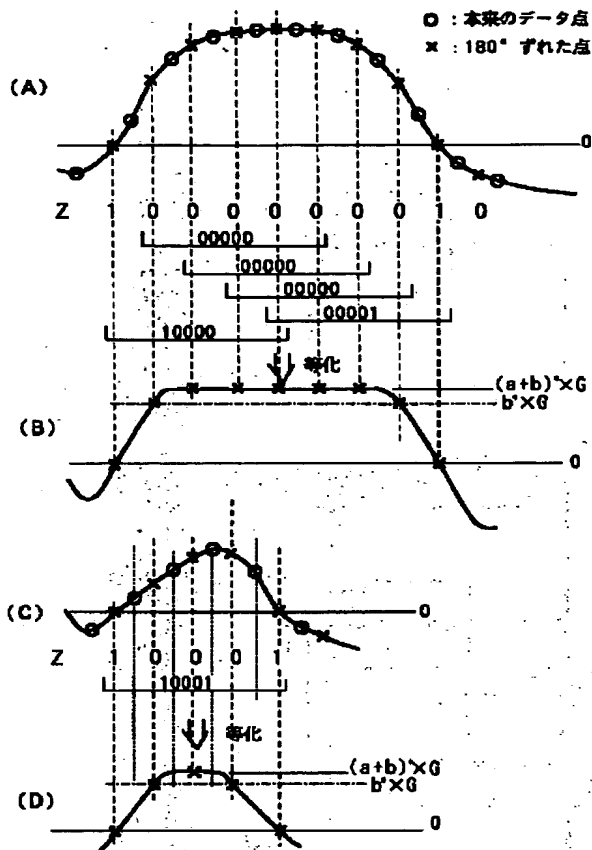
【図5】

PR=F		1	2	3	4	5	6
RLL(1, X)		PR(1, 1)	PR(1, 1, 1)	PR(1, 2, 2, 1)	PR(1, 3, 3, 1)	PR(2, 3, 3, 2)	PR(3, 4, 4, 3)
M1-7 MMVF MD2	2a+2b			6→+3	8→+4	10→+5	14→+7
	a+2b			5→+2	7→+3	9→+3	11→+4
	2b			4→+1	6→+2	8→+1	9→+1
	a+b			3→0	4→0	5→0	7→0
	2a			2→-1	2→-2	4→-1	6→-1
	a			1→-2	1→-3	2→-3	3→-4
	0			0→-3	0→-4	0→-5	0→-7
	ゲインG	A	A/2	A/3	A/4	A/5	A/7
RLL(2, X)	2a+2b		4→+2	6→+3	8→+4	10→+5	14→+7
	a+2b	2→+1	3→+1	5→+2	7→+3	9→+3	11→+4
	a+b	1→0	2→0	3→0	4→0	5→0	7→0
	a	0→-1	1→-1	1→-2	1→-3	2→-3	3→-4
	0		0→-2	0→-3	0→-4	0→-5	0→-7

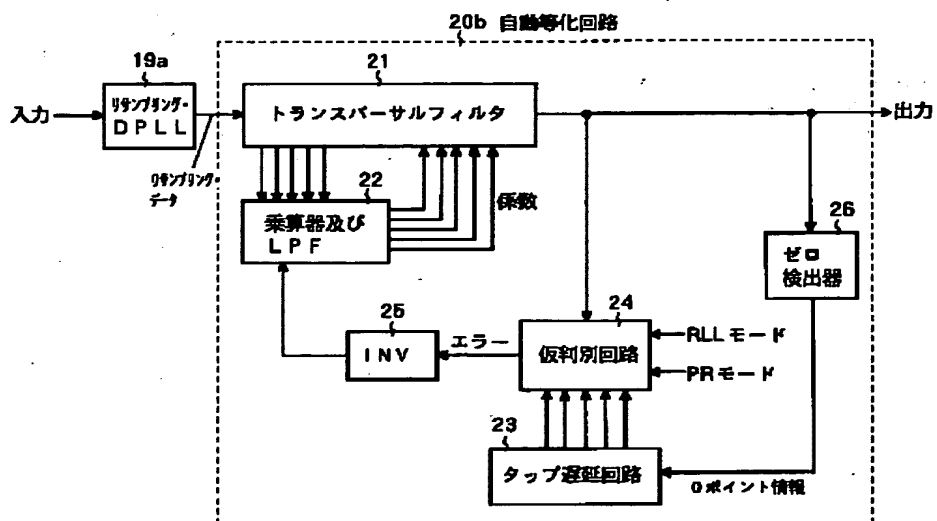
【図 6】



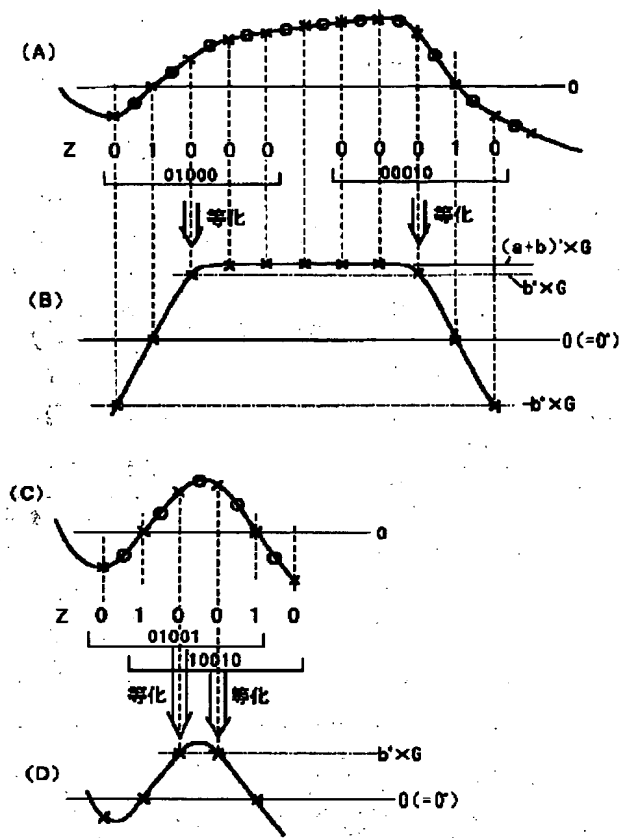
【图 7】



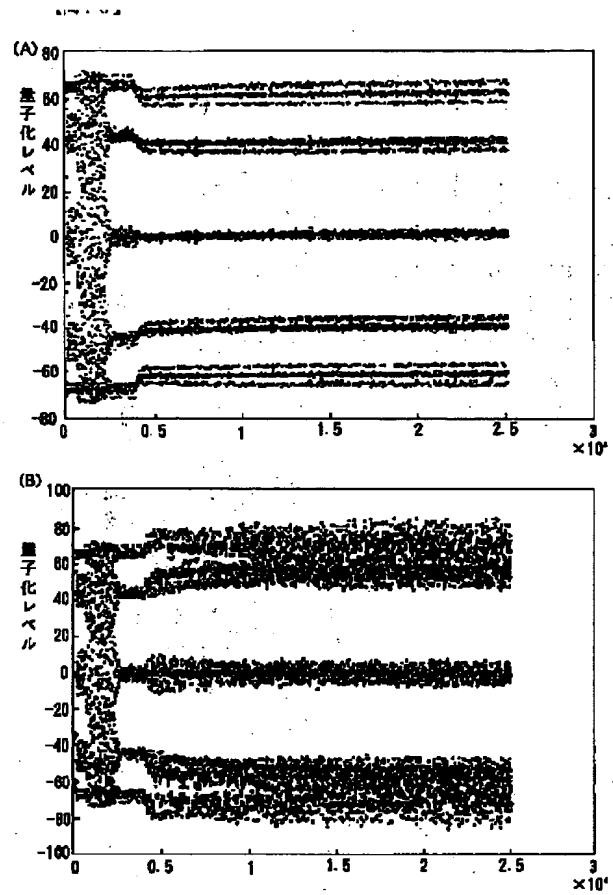
【図 1 1】



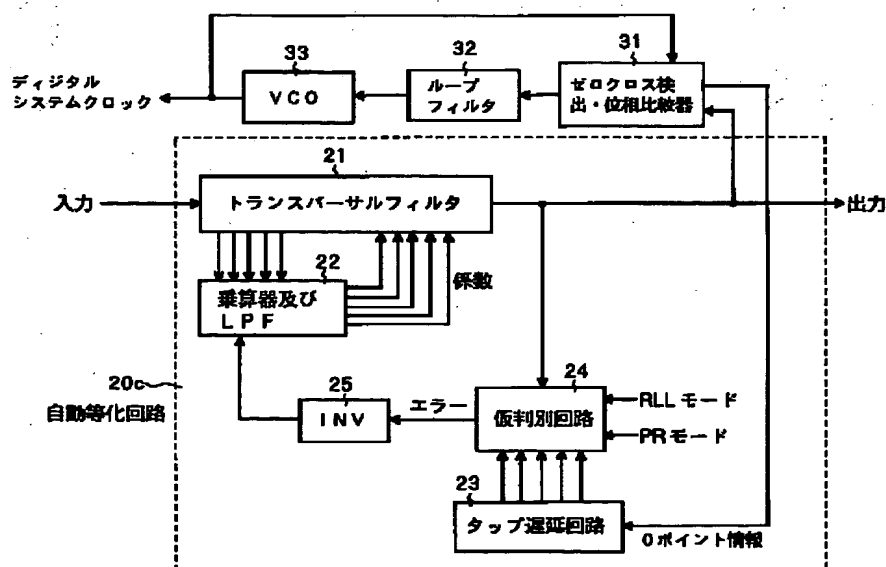
【図9】



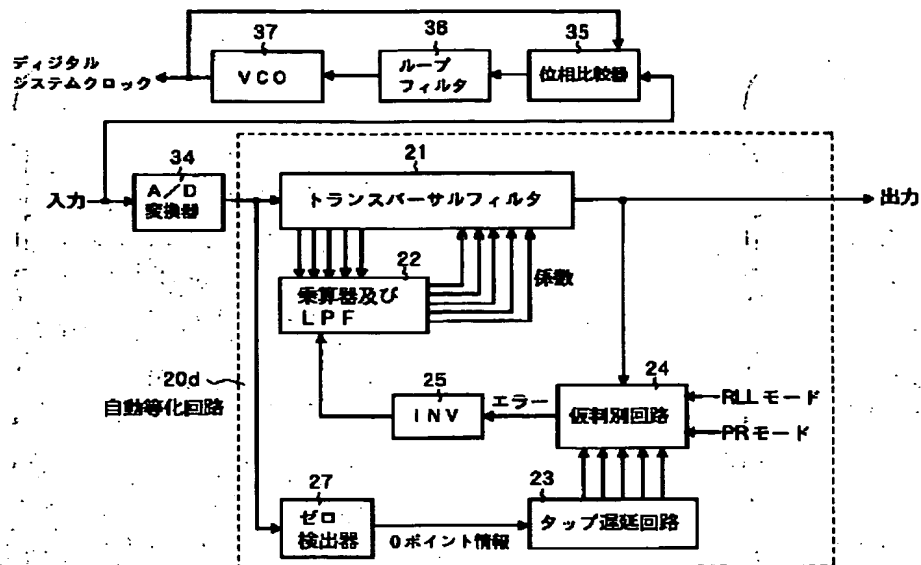
【図10】



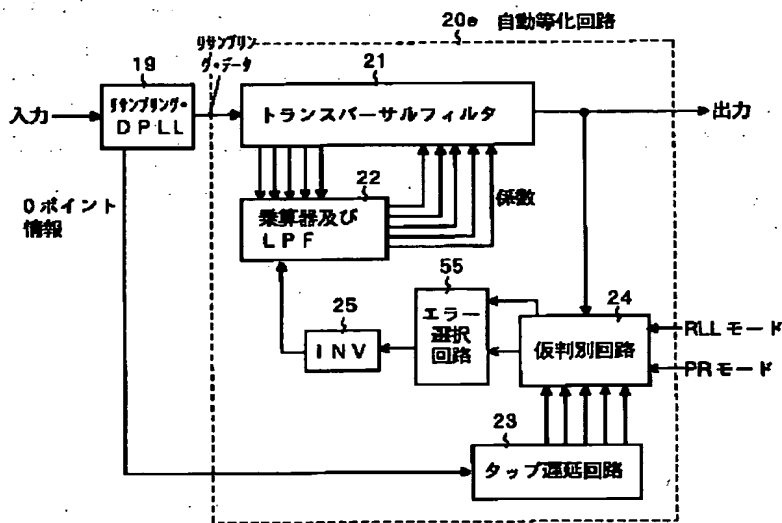
【図12】



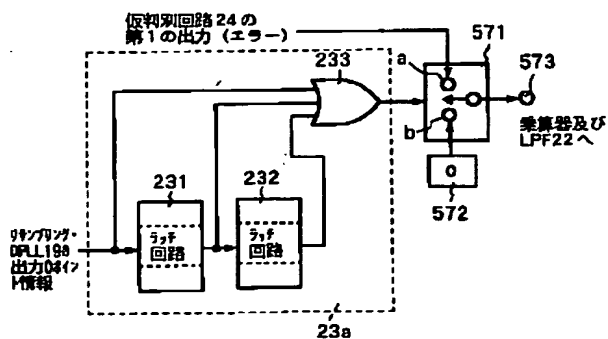
【図13】



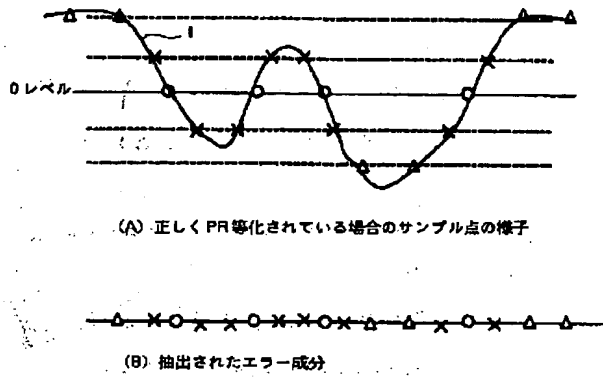
【図15】



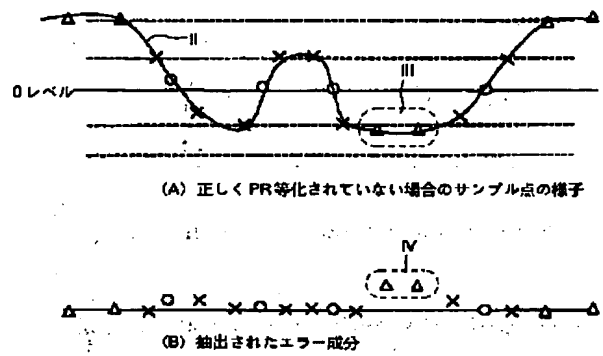
【図21】



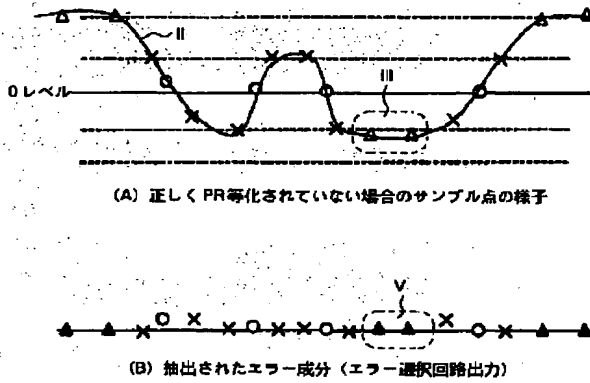
【図17】



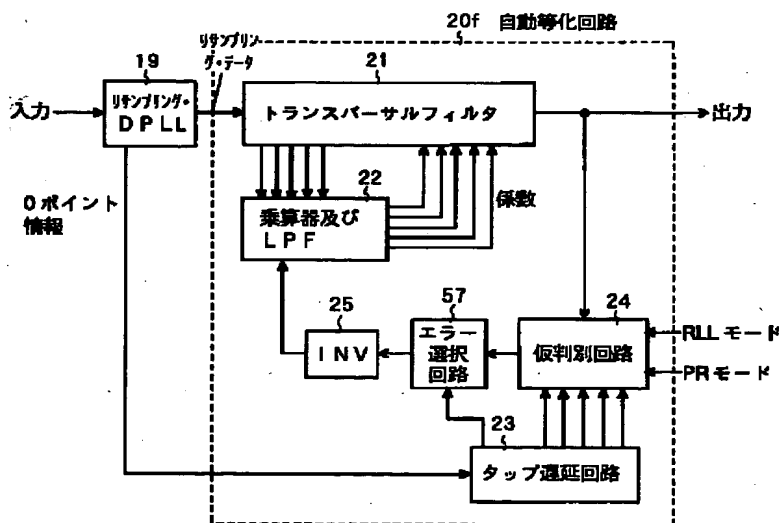
【図18】



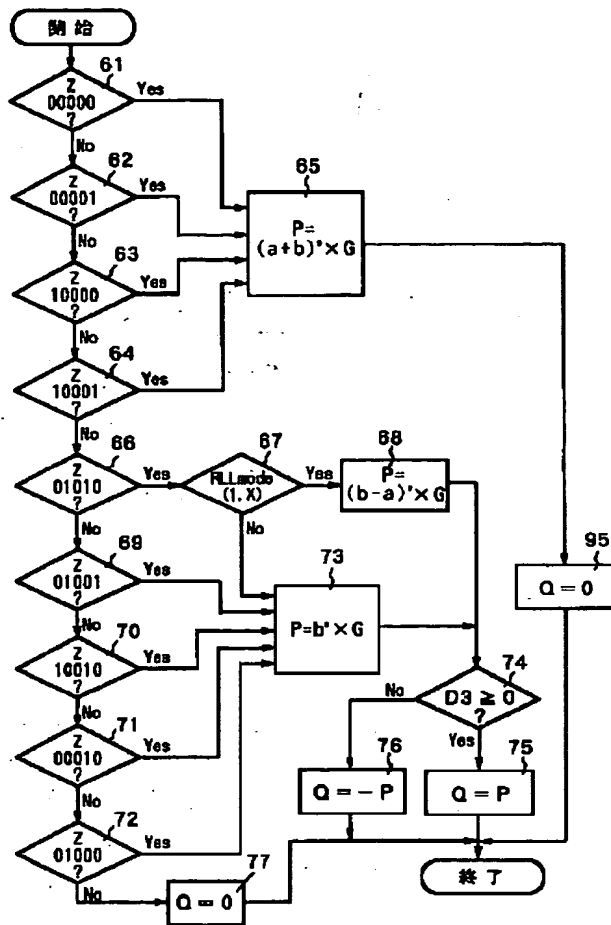
【図19】



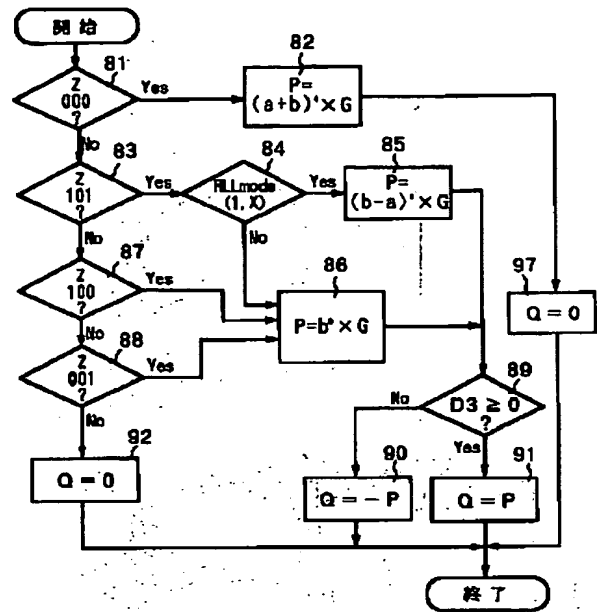
【図20】



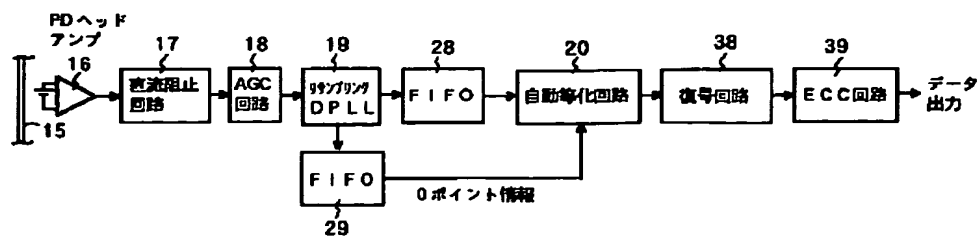
【図22】



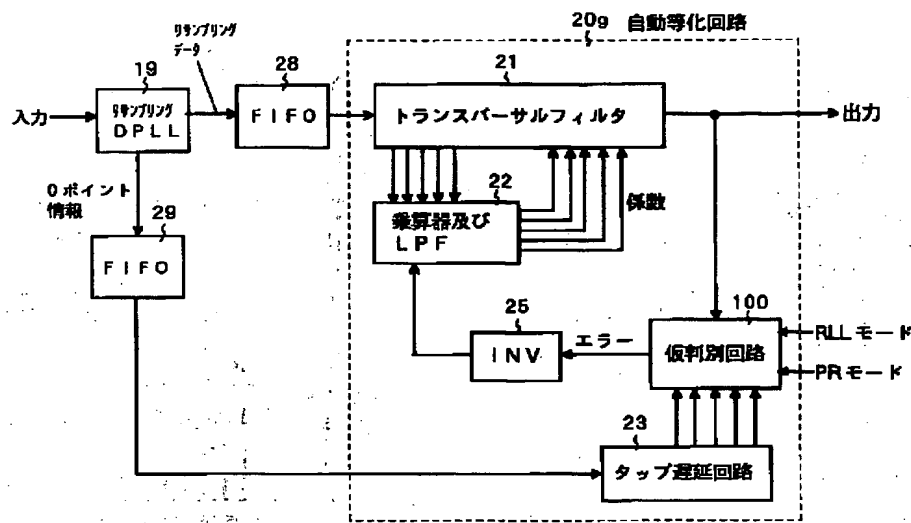
【図23】



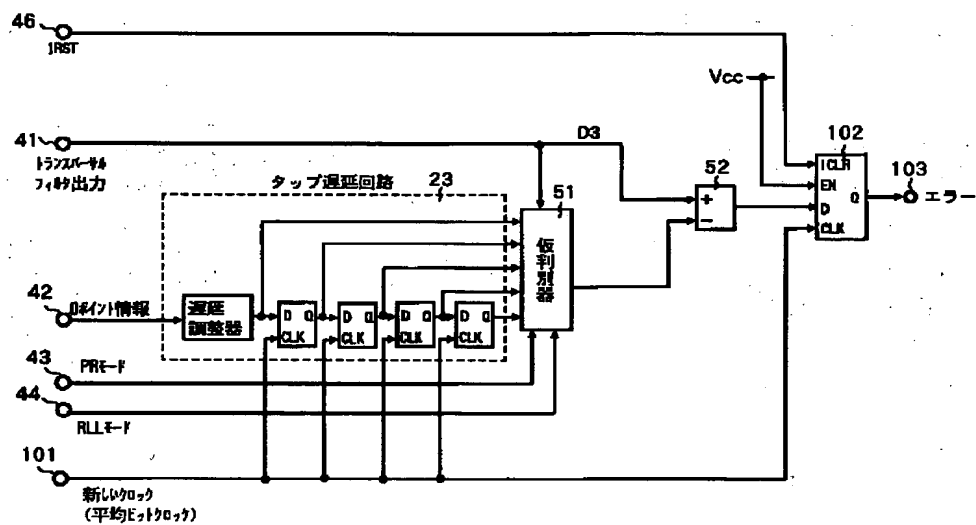
【図24】



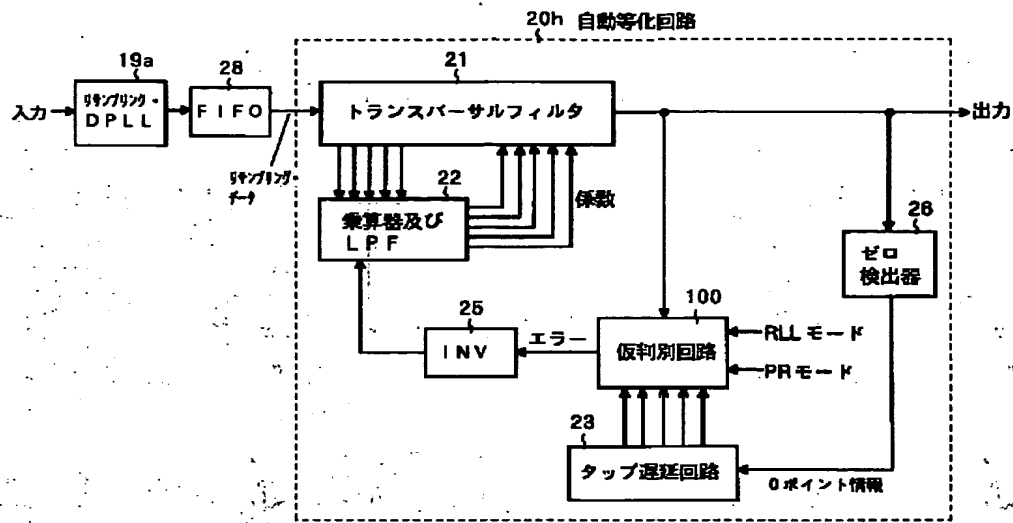
【図25】



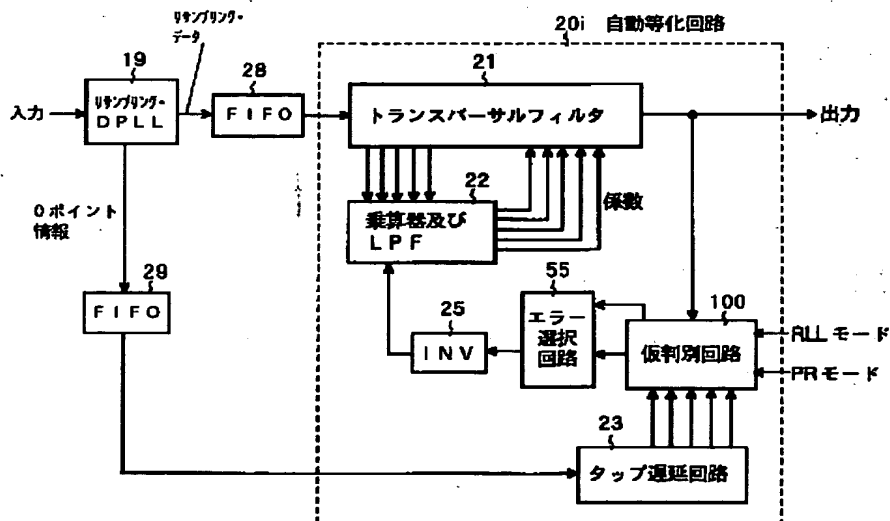
【図26】



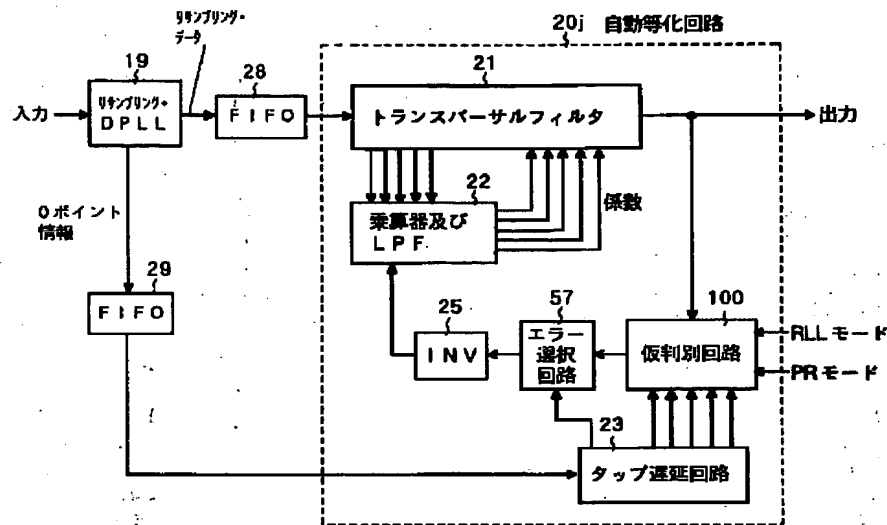
【図27】



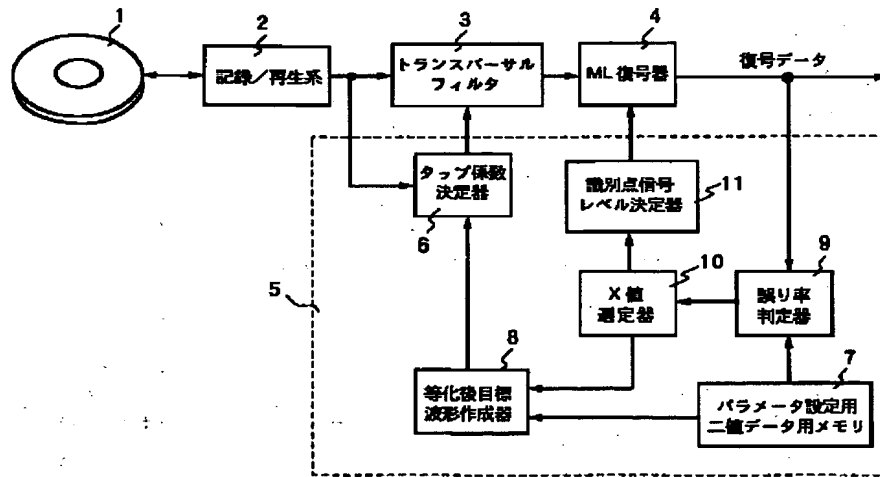
【図28】



【図29】



【図30】



No. 9

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110146

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

G11B 20/10
G11B 7/005

(21)Application number : 11-291634

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 13.10.1999

(72)Inventor : TONAMI JUNICHIRO

(30)Priority

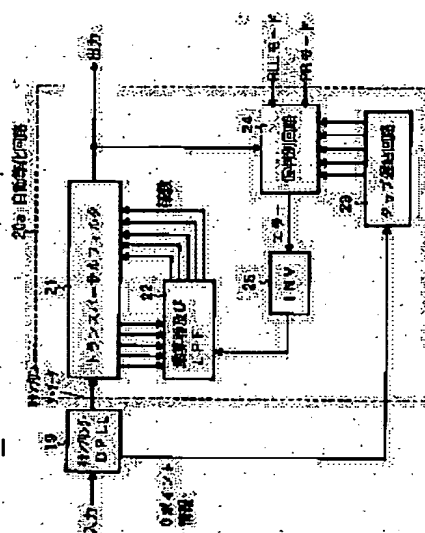
Priority number : 10366746
11218715Priority date : 24.12.1998
02.08.1999Priority country : JP
JP

(54) REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce convergence time until stably performing waveform equalization by simplifying control to meet a threshold due to the differences of a run length, a PR characteristics desired to be equalized, etc., according to the quality of a signal to be reproduced in a device to which a plurality of kinds of signals are inputted.

SOLUTION: A tap delay circuit 23 delays zero point information from an interpolation DPLL 19. A temporary discrimination circuit 24 receives a PR mode signal showing the kind of partial response equalization, an RLL mode signal showing the kind of the run length limited code of a reproduced signal, a plurality of pieces of zero point information from the circuit 23 and a reproduced signal undergoing waveform equalization that is outputted from a transversal filter 21 as inputs, calculates the temporary discrimination value of an equalization signal on the basis of state transition of defined by the PR mode signal and the RLL mode signal and the pattern of the plurality of pieces of zero point information and outputs the difference value between the temporary discrimination value and the reproduced signal undergoing waveform equalization as an error signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)